

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-167543

(43)Date of publication of application : 13.06.2003

(51)Int.Cl. G09G 3/20
G02F 1/133
G02F 1/1345
G02F 1/1368
G09F 9/30
G09G 3/30
H01L 29/786

(21)Application number : 2001-366881 (71)Applicant : SEMICONDUCTOR ENERGY LAB
CO LTD

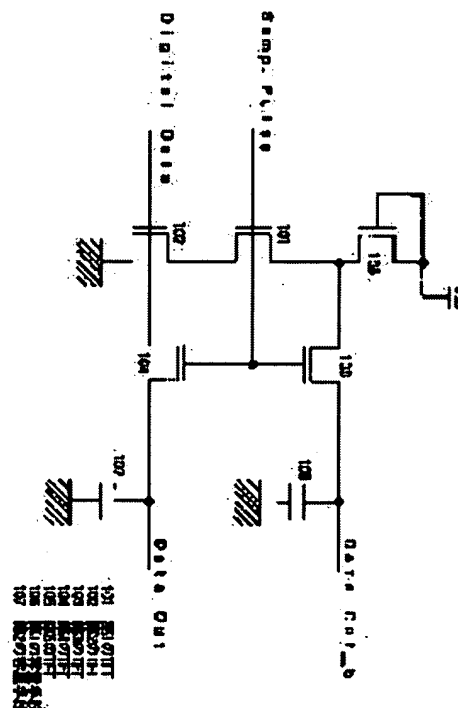
(22)Date of filing : 30.11.2001 (72)Inventor : MIYAKE HIROYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a display device and a driving method therefor, capable of reducing power consumption by minimizing generation of current paths when the circuit operates.

SOLUTION: According to this invention, two outputs of a non-inverted output and an inverted output can be obtained to a digital video signal input, therefore, a semiconductor device is provided, which is capable of minimizing generation of current paths in a subsequent buffer to be driven by their signals. Further, a semiconductor device is provided, which is reduced in power consumption by using the above-mentioned configuration.



LEGAL STATUS

[Date of request for examination]

02.11.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

拒絶引用S 04P 1622W000

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-167543

(P2003-167543A)

(43) 公開日 平成15年6月13日 (2003.6.13)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード* (参考)
G 0 9 G 3/20	6 2 4	G 0 9 G 3/20	6 2 4 B 2 H 0 9 2
	6 1 1		6 1 1 A 2 H 0 9 3
	6 2 3		6 2 3 G 5 C 0 8 0
G 0 2 F 1/133	5 2 0	G 0 2 F 1/133	5 2 0 5 C 0 9 4
1/1345		1/1345	5 F 1 1 0
審査請求 未請求 請求項の数13 O L (全 38 頁) 最終頁に続く			

(21) 出願番号 特願2001-366881(P2001-366881)

(22) 出願日 平成13年11月30日 (2001. 11. 30)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 三宅 博之

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

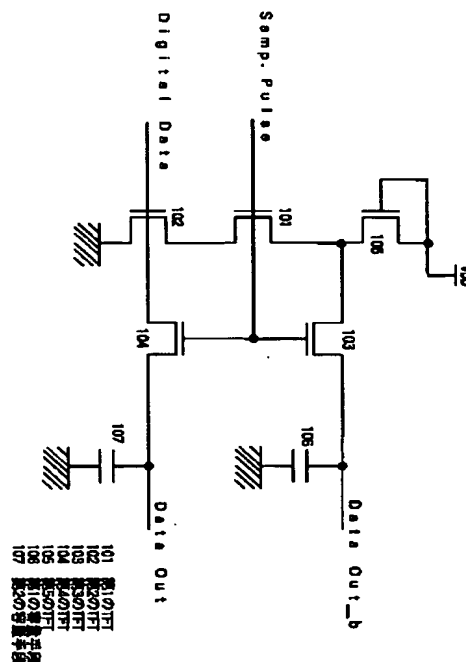
最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 ラッチ回路に入力されたデジタル映像信号が H i 電位のときは、最大で 1 水平期間にわたって電流が流れ続けてしまう。その結果、半導体装置の消費電力の多大な増加を招いてしまう。そこで本発明は、回路動作時の電流バスの発生を最小限に抑えることで消費電力を低減させることが可能な表示装置および駆動方法を提供することを課題とする。

【解決手段】 本発明は、デジタル映像信号の入力に対して、非反転出力、反転出力の 2 出力が得られるため、それらの信号によって駆動される後段のバッファにおいては、電流バスの発生を最小限に抑えることが出来る半導体装置を提供する。さらに、上述した構成を用いることにより、消費電力を低減した半導体装置を提供する。



【特許請求の範囲】

【請求項 1】第 1 及び第 2 の入力端子と、第 1 及び第 2 の出力端子と、第 1 乃至第 4 のトランジスタと、負荷回路とを有する半導体装置であって、

前記負荷回路は、入力電極と、出力電極とを有し、

前記第 1、第 3、および第 4 のトランジスタのゲート電極は、前記第 1 の入力端子と接続され、

前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタの入力電極とは、共に前記第 2 の入力端子と接続され、

前記第 1 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に前記第 3 のトランジスタの入力電極に接続され、

前記負荷回路の入力電極は、第 1 の電源と接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と接続され、

前記第 3 のトランジスタの出力電極は、前記第 1 の出力端子と接続され、

前記第 4 のトランジスタの出力電極は、前記第 2 の出力端子と電氣的に接続され、

前記第 1 乃至第 4 のトランジスタは同一導電型であることを特徴とする半導体装置。

【請求項 2】第 1 乃至第 4 の入力端子と、第 1 乃至第 4 の出力端子と、第 1 乃至第 4 のトランジスタと、負荷回路と、振幅補償バッファ回路とを有する半導体装置であって、

前記負荷回路は、入力電極と、出力電極とを有し、

前記第 1、第 3、および第 4 のトランジスタのゲート電極は、前記第 1 の入力端子と接続され、

前記第 2 のトランジスタのゲート電極と、前記第 4 のトランジスタの入力電極とは、共に前記第 2 の入力端子と接続され、

前記第 1 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に前記第 3 のトランジスタの入力電極に接続され、

前記負荷回路の入力電極は、第 1 の電源と接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と接続され、

前記第 3 のトランジスタの出力電極は、前記第 1 の出力端子と接続され、

前記第 4 のトランジスタの出力電極は、前記第 2 の出力端子と電氣的に接続され、

前記第 3 の入力端子は、前記第 1 の入力端子に接続され、

前記第 4 の入力端子は、前記第 2 の入力端子に接続され、

前記振幅補償バッファ回路は、前記第 1 の出力端子の振幅減衰を補償する手段と、前記第 3 の出力端子に出力する手段と、前記第 2 の出力端子の振幅減衰を補償して、前記第 4 の出力端子に出力する手段とを有し、

前記第 1 乃至第 4 のトランジスタは同一導電型であることを特徴とする半導体装置。

【請求項 3】請求項 1 又は請求項 2 において、

前記負荷回路は、第 5 のトランジスタによって構成され、

前記第 5 のトランジスタのゲート電極と入力電極とは、互いに接続され、

前記第 5 のトランジスタの入力電極は、前記負荷回路の入力電極であり、

10 前記第 5 のトランジスタの出力電極は、前記負荷回路の出力電極であることを特徴とする半導体装置。

【請求項 4】請求項 1 又は請求項 2 において、

前記負荷回路は、第 5 及び第 6 のトランジスタによって構成され、

前記第 5 のトランジスタの入力電極と、前記第 6 のトランジスタのゲート電極及び入力電極とは、互いに接続され、

前記第 5 のトランジスタのゲート電極と、前記第 6 のトランジスタの出力電極とは、互いに接続され、

20 前記第 5 のトランジスタの入力電極は、前記負荷回路の入力電極であり、

前記第 5 のトランジスタの出力電極は、前記負荷回路の出力電極であることを特徴とする半導体装置。

【請求項 5】請求項 1 又は請求項 2 において、

前記負荷回路は、抵抗素子によって構成され、

前記抵抗素子の入力電極は、前記負荷回路の入力電極であり、

前記抵抗素子の出力電極は、前記負荷回路の出力電極であることを特徴とする半導体装置。

30 【請求項 6】第 1 及び第 2 の入力端子と、第 1 及び第 2 の出力端子と、第 1 乃至第 3 のトランジスタと、負荷回路とを有する半導体装置であって、

前記負荷回路は、入力電極と、出力電極と、制御電極とを有し、

前記第 1、第 3 のトランジスタのゲート電極は、前記負荷回路の制御電極と接続され、

前記第 2 のトランジスタのゲート電極と、前記第 3 のトランジスタの入力電極とは、共に前記第 2 の入力端子と接続され、

40 前記第 1 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に前記第 1 の出力端子に接続され、

前記第 3 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に第 1 の出力端子に接続され、

前記第 2 のトランジスタの出力電極は、前記第 1 のトランジスタの入力電極と接続され、

前記負荷回路の入力電極は、第 1 の電源又は第 1 の入力端子と接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と接続され、

50 前記第 1 乃至第 3 のトランジスタは同一導電型であるこ

とを特徴とする半導体装置。

【請求項 7】第 1 乃至第 4 の入力端子と、第 1 乃至第 4 の出力端子と、第 1 乃至第 3 のトランジスタと、負荷回路と、振幅補償バッファ回路とを有する半導体装置であって、

前記負荷回路は、入力電極と、出力電極と、制御電極とを有し、

前記第 1、第 3 のトランジスタのゲート電極は、前記負荷回路の制御電極と接続され、

前記第 2 のトランジスタのゲート電極と、前記第 3 のトランジスタの入力電極とは、共に前記第 2 の入力端子と接続され、

前記第 1 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に前記第 1 の出力端子に接続され、

前記第 3 のトランジスタの出力電極と、前記負荷回路の出力電極とは、共に第 1 の出力端子に接続され、

前記第 2 のトランジスタの出力電極は、前記第 1 のトランジスタの入力電極と接続され、

前記負荷回路の入力電極は、第 1 の電源又は第 1 の入力端子と接続され、

前記第 2 のトランジスタの入力電極は、第 2 の電源と接続され、

前記第 3 の入力端子は、前記第 1 の入力端子に接続され、

前記第 4 の入力端子は、前記第 2 の入力端子に接続され、

前記振幅補償バッファ回路は、前記第 1 の出力端子の振幅減衰を補償する手段と、前記第 3 の出力端子に出力する手段と、前記第 2 の出力端子の振幅減衰を補償して、前記第 4 の出力端子に出力する手段とを有し、前記第 1 乃至第 3 のトランジスタは同一導電型であることを特徴とする半導体装置。

【請求項 8】請求項 6 又は請求項 7 において、

前記負荷回路は、第 4 のトランジスタによって構成され、

前記第 4 のトランジスタのゲート電極は、前記負荷回路の制御電極であり、

前記第 4 のトランジスタの入力電極は、前記負荷回路の入力電極であり、

前記第 4 のトランジスタの出力電極は、前記負荷回路の出力電極であることを特徴とする半導体装置。

【請求項 9】請求項 6 又は請求項 7 において、

前記負荷回路は、第 4 および第 5 のトランジスタによって構成され、

前記第 4 のトランジスタの入力電極と、前記第 5 のトランジスタの入力電極は、互いに接続されており、

前記第 4 のトランジスタの入力電極は、前記負荷回路の入力電極であり、

前記第 5 のトランジスタのゲート電極は、前記負荷回路の制御電極であり、

前記第 4 のトランジスタの出力電極は、前記負荷回路の出力電極であることを特徴とする半導体装置。

【請求項 10】請求項 2 又は請求項 7 において、

前記振幅補償バッファ回路は、第 1 乃至第 4 の振幅補償用トランジスタと、第 1 および第 2 の振幅補償用容量手段とを有し、

前記第 3 の入力端子は、前記第 1 及び第 2 の振幅補償用トランジスタのゲート電極と接続され、

前記第 4 の入力端子は、前記第 3 及び第 4 の振幅補償用トランジスタのゲート電極と接続され、

前記第 1 及び前記第 4 の振幅補償用トランジスタの入力電極は、前記第 1 の電源と接続され、

前記第 2 及び前記第 3 の振幅補償用トランジスタの入力電極は、前記第 2 の電源と電気的に接続され、

前記第 1 及び前記第 3 の振幅補償用トランジスタの出力電極とは、共に第 3 の出力端子と接続され、

前記第 2 及び前記第 4 の振幅補償用トランジスタの出力電極とは、共に第 4 の出力端子と接続され、

前記第 1 の振幅補償用容量手段は、前記第 1 の振幅補償用トランジスタのゲート電極と出力電極との間に配置されて容量結合を形成する手段を有し、

前記第 2 の振幅補償用容量手段は、前記第 4 の振幅補償用トランジスタのゲート電極と出力電極との間に配置されて容量結合を形成する手段を有することを特徴とする半導体装置。

【請求項 11】請求項 1 乃至請求項 10 のいずれか一項に記載の半導体装置は、第 1 及び第 2 の容量手段を有し、

前記第 1 の容量手段は、前記第 1 の出力端子に配置され、

且つ前記第 1 の出力端子より出力される信号の電位を保持する手段を有し、

前記第 2 の容量手段は、前記第 2 の出力端子に配置され、

前記第 2 の出力端子より出力される信号の電位を保持する手段を有することを特徴とする半導体装置。

【請求項 12】請求項 11 において、

前記第 1 および第 2 の容量手段は、半導体層を形成する材料、ゲート電極を形成する材料、配線材料のうちいずれか 2 材料と、前記 2 材料間の絶縁膜とでなる容量手段であることを特徴とする半導体装置。

【請求項 13】請求項 1 乃至請求項 12 のいずれか一項に記載の半導体装置を用いることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の技術に関する。半導体装置とは、画素に液晶素子を用いてなる液晶表示装置、及びエレクトロルミネッセンス（EL）素子を始めとした発光素子を用いてなる表示装置を含む。また、前記表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路等を

含む。さらに、シフトレジスタ回路、ラッチ回路、バッファ回路、レベルシフト回路などをはじめとするパルス出力回路、およびアンプなどをはじめとする増幅回路を含む。

【0002】

【従来の技術】近年、ガラス基板などの絶縁体上に半導体薄膜を形成した半導体装置、特に薄膜トランジスタ（以下、TFTと表記）を用いた液晶表示装置をはじめとするアクティブマトリクス型表示装置は、多くの製品に利用され、普及している。アクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の輝度を制御することによって映像の表示を行っている。

【0003】さらに、ポリシリコンTFTを用いて、画素部及び周辺回路を同一基板上に一体形成する技術が発展してきている。前記技術は、装置の小型化、低消費電力化に大いに貢献しており、それに伴って、前記技術の応用分野の拡大が著しい携帯情報端末の表示部等に用いられている。

【0004】ここで、ポリシリコンTFTを用いて画素部の周辺回路を同一基板上にした例を図10を用いて説明する。なお図10には、表示装置に用いられる半導体装置の一例として、ソース信号線駆動回路を示し、その構成と動作について、以下に説明する。

【0005】図10において、ソース信号線駆動回路は、クロック信号（SCK）、クロック反転信号（SCKB）、スタートパルス（SP）に従って順次サンプリングパルスを出力するパルス出力回路1001を複数段有してなるシフトレジスタ1000を有する。また、前記サンプリングパルスの入力に従って、3ビットのデジタル映像信号（DATA1～3）の保持を行う第1ラッチ回路1002と、ラッチパルス（Latch Pulse）の入力に従ってデジタル映像信号の保持を行う第2のラッチ回路1003とを有する。さらに、デジタル映像信号をアナログ映像信号に変換するためのD/A変換回路1004とを有する。

【0006】また、特に図示していないが、バッファなどを有していても良く、さらにデジタル映像信号のビット数は3ビットに限定しない。

【0007】次いで、前記ソース信号線駆動回路の動作について以下に簡単に説明する。クロック信号（SCK）、反転クロック信号（SCKB）およびスタートパルス（SP）の入力に従い、シフトレジスタ1000は、順次サンプリングパルスを出力する。そして、第1のラッチ回路1002においては、サンプリングパルスが入力されるタイミングに従って、デジタル映像信号（DATA1～3）を保持する。この動作が1水平期間分完了した後、水平帰線期間内にラッチパルス（Latch Pulse）が入力され、第1のラッチ回路1

002に保持されている1水平期間分のデジタル映像信号は、一斉に第2のラッチ回路1003へと転送される。その後D/A変換回路1004にデジタル映像信号が入力され、各階調に対応した電圧信号へと変換され、ソース信号線（S0001～S最終）へと書き込まれる。

【0008】

【発明が解決しようとする課題】上述した半導体装置には、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路が多く用いられている。しかし、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路を同一の絶縁表面上に形成するということは、互いに逆の導電型を有するTFTを同一の絶縁表面上に形成するということであるため、どうしても製造工程が複雑になってしまう。その結果、半導体装置のコストの上昇や歩留まりの低下を招いてしまう。

【0009】そこで、全てのTFTを単極性とした半導体装置が考案されている。全てのTFTを単極性とする、該TFTの製造工程において、不純物元素を添加する工程などの作製工程の一部を省略して、コストの上昇や歩留まりの低下の影響を抑制することができる。

【0010】そして、全てのTFTを単極性とした半導体装置の例を図5を用いて説明する。図5（A）には、単極性のTFTによって構成したシフトレジスタを示す。前記シフトレジスタは、クロック信号とスタートパルスに従ってサンプリングパルスを出力するパルス出力回路500を複数段用いて構成される。図5（B）には、Nチャネル型TFTを用いて構成したパルス出力回路500の回路図を示す。

【0011】図5（B）において、単極性のTFTによって論理回路を構成する場合、例えば、Nチャネル型TFTを用いる場合には、高電位側電源に接続したNチャネル型TFTのしきい値により、出力信号（SR OUT）の振幅が、入力信号（in_L、in_R）の振幅に比べて減衰するという問題点がある。図5（B）に示したパルス出力回路500は、ブートストラップ法によってそのような問題を解決したものである。

【0012】なお本明細書では、デジタル回路を扱うので、入出力電位はH_iまたはL_oの2値によって表される。Nチャネル型とPチャネル型では、H_iとL_oの意味が逆になるため、活性電位、非活性電位という言葉を用いてもよい。さらに、活性電位とは、Nチャネル型トランジスタだけで構成されている回路におけるH_iの電位または、Pチャネル型トランジスタだけで構成されている回路におけるL_oの電位を指すものとする。また、非活性電位とは、Nチャネル型トランジスタだけで構成されている回路におけるL_oの電位または、Pチャネル型トランジスタだけで構成されている回路におけるH_iの電位を指すものとする。

【0013】H_i/L_oあるいは活性電位/非活性電位

は、必ずしも電源電位 (V_{DD}/V_{SS}) と一致する必要はなく、2 値としてみた場合に一致すれば良い。例えば、Nチャネル型トランジスタによって V_{DD} よりもしきい値分だけ下がった電位も H_i の電位に含まれる。また、振幅補償回路等によって V_{DD}/V_{SS} に回復することが出来るような電位は、同じ H_i/L_o あるいは活性電位/非活性電位の電位と考える。

【0014】次いで、図5 (B) に示す回路の動作について簡単に説明する。ここで、回路を構成する単極性のTFTとは、Nチャネル型TFTであるとし、そのしきい値電圧は一律、 V_{thN} であるとする。ただし、これは回路を構成しているTFTをNチャネル型に限定するものではない。回路を構成するTFTとして、Pチャネル型のみを用いることもできる。

【0015】回路動作の説明をする際に、TFTの動作について述べる場合もあるが、TFTがONするとは、TFTのゲート・ソース間電圧の絶対値が、TFTのしきい値電圧の絶対値を超え、TFTのソース領域とドレイン領域とが、チャネル形成領域を通じて導通状態となることをいい、TFTがOFFするとは、TFTのゲート・ソース間電圧の絶対値が、TFTのしきい値電圧の絶対値を下回り、TFTのソース領域とドレイン領域とが非導通状態となることをいうものとする。

【0016】また、TFTの接続を説明するのに、「ゲート電極、入力電極、出力電極」と「ゲート電極、ソース領域、ドレイン領域」とを使い分けている。これは、TFTの動作を説明する際に、ゲート・ソース間電圧を考える場合が多いが、TFTのソース領域とドレイン領域とは、TFTの構成上明確に区別することが難しいため、信号の入出力を説明する際には、入力電極、出力電極と呼び、TFTの電極の電位の関係について説明する際には、入力電極と出力電極のうちいずれか一方をソース領域、他方をドレイン領域と呼ぶことにする。

【0017】さらに、説明の際の信号の振幅は、 $V_{DD}-V_{SS}$ とし、高電位側電源を V_{DD} 、低電位側電位を V_{SS} とする。また、 $V_{thN} < (V_{DD}-V_{thN})$ を満たす。また、各電位の間隔を簡単にするために $V_{SS} = 0 [V]$ として考える。ただし、実際に回路を駆動する場合はこの限りでない。

【0018】図5 (B) において、 n 段のバルス出力回路の m 段目 ($1 < m \leq n$) におけるTFT501、504のゲート電極には $m-1$ 段目の出力バルスが入力されて ($m=1$ 、すなわち第1段目の場合、SPが入力される) H_i 電位となり、TFT501、504がONする。これにより、TFT505のゲート電極の電位は V_{DD} 側に引き上げられ、その電位が $(V_{DD}-V_{thN})$ となったところでTFT501がOFFし、浮遊状態となる (ただし、 $V_{thN} < (V_{DD}-V_{thN})$)。従ってTFT505がONする。

【0019】一方、TFT502、503のゲート電極

にはこの時点ではバルスが入っておらず L_o 電位のままであるので、OFFしている。よってTFT506のゲート電極の電位は L_o 電位であり、OFFしているので、TFT505の入力電極から入力されるCKは H_i 電位になるのに伴い、出力端子 (SR Out) の電位が V_{DD} 側に引き上げられる。

【0020】ここで、TFT505のゲート電極と出力電極間は、容量手段507を設けてあり、さらに今、TFT505のゲート電極は浮遊状態にあるため、出力端子 (SR Out) の電位が上昇するのに伴い、ブートストラップによってTFT505のゲート電極の電位は $(V_{DD}-V_{thN})$ からさらに引き上げられる。これにより、TFT505のゲート電極の電位は、 $(V_{DD}+V_{thN})$ よりも高い電位をとる。よって出力端子 (SR Out) の電位は、TFT505のしきい値によって電位が低下することなく、完全に V_{DD} まで上昇する。

【0021】同様に、 $m+1$ 段目においてはSCKBに従ってバルスが出力される。 $m+1$ 段目の出力バルスは、 m 段目に帰還してTFT502、503のゲート電極に入力される。TFT502、503のゲート電極が H_i 電位となってONすることにより、TFT505のゲート電極の電位は V_{SS} 側に引き下げられてTFT505がOFFする。同時にTFT506のゲート電極の電位が H_i 電位となってONし、 m 段目の出力端子 (SR Out) の電位は L_o 電位となる。

【0022】続いて、単極性のTFTによってラッチ回路を構成した例を図6 (A) に示す。点線枠601で示す回路が第1のラッチ回路、点線枠602で示す回路が第2のラッチ回路にあたる。点線枠603で示す回路はバッファ回路である。

【0023】第1のラッチ回路601は、TFT604と容量手段605とを有し、TFT604の入力電極には、1ビットのデジタル映像信号 (DATA) が入力され、TFT604のゲート電極には、サンプリングバルス (Samp. Pulse) が入力される。サンプリングバルスが入力されると、TFT604がONし、デジタル映像信号が容量手段605に保持される。

【0024】第2のラッチ回路602は、TFT606と容量手段607とを有し、TFT606の入力電極には、第1のラッチ回路にて保持されているデジタル映像信号が入力され、TFT606のゲート電極には、ラッチバルス (Latch Pulse) が入力される。ラッチバルスが入力されると、TFT606がONし、デジタル映像信号が容量手段607に保持される。

【0025】バッファ603は、TFT608~611と容量手段612とを有し、TFT609および611のゲート電極には第2のラッチ回路にて保持されているデジタル映像信号が入力されている。TFT608のゲート電極は、電源 V_{DD} と接続されている。なお、TFT

TFT608の電流能力よりも、TFT609の電流能力を十分に大きく構成している。

【0026】TFT609および611のゲート電極にHi電位が入力されると、TFT610のゲート電極の電位がLo電位となり、TFT610がOFFする。一方、TFT611がONし、出力端子(Out)にはLo電位が現れる。

【0027】TFT609および611のゲート電極にLo電位が入力されると、TFT609および611はともにOFFする。よってTFT608を通じて、TFT610のゲート電極の電位が上昇し、その電位が(VDD-VthN)となったところで浮遊状態となる。従ってTFT610がONし、出力端子(Out)の電位が上昇する。それに伴い、容量手段612によるTFT610のゲート電極と出力電極間の容量結合により、TFT610のゲート電極の電位はさらに上昇し、(VDD+VthN)よりも高い電位となる。よって、出力端子(Out)には、Hi電位が現れ、その電位はVDDに等しくなる。

【0028】なお、第1のラッチ回路601と第2のラッチ回路602との間にはバッファを配置しても良い。

【0029】ここで、第2のラッチ回路602の出力によるバッファ603に注目する。TFT609にはHi電位が入力されてOnしている期間は、VDD-TFT608-TFT609-VSS間に電流パスが生ずる。この電流パスは、第2のラッチ回路からHi電流が出力されている間、電流が流れ続けてしまう。つまり、ラッチ回路に入力されたデジタル映像信号がHi電位のときは、最大で1水平期間にわたって電流が流れ続けてしまう。その結果、半導体装置の消費電力の多大な増加を招いてしまう。

【0030】本発明は上記の問題点を鑑みてなされたものであり、単極性のTFTで構成された半導体装置において、消費電力の低減した半導体装置を提供することを課題とする。

【0031】

【課題を解決するための手段】図6(A)に示したスイッチ用TFTと容量手段の構成によるラッチ回路は、1入力1出力型である。よって、バッファ603も1入力型としていた。バッファ603への入力信号がHi電位の時、電流パスが生じないようにする方法としては、図6(B)に示すように、入力信号(In)に対し、反転入力信号(Inb)を用い、TFT608、609が排他的にON、OFFするようにすれば良い。

【0032】そこで本発明では、ラッチ回路の出力を、出力、反転出力の2出力型とする構成とした半導体装置を提供する。

【0033】図33に本発明の半導体装置の一例としてラッチ回路を示す。ラッチ回路は、第1の回路1301、第2の回路1302、および容量手段1303、1

304を有する。図33に示す本発明のラッチ回路は、デジタル映像信号(Digital Data)の入力に対し、出力(Data Out)、反転出力(Data Out_b)の2出力を得る点に特徴がある。

【0034】第1の回路1301には、シフトレジスタより出力されるサンプリングパルス(Samp. Pulse)とデジタル映像信号(Digital Data)が入力される。また、第1の回路1301には、高電位側電源VDDと低電位側電源VSSが接続されている。第1の回路1301からは反転出力(Data Out_b)が出力される。なお、第1の回路1301には、高電位側電源VDDが設けなくてもよい。

【0035】反転出力(Data Out_b)には容量手段1303が接続されている。この容量手段1303は、特に出力信号を保持する必要が無い場合や、後段の回路構成によっては、設けなくてもよい。

【0036】第2の回路1302には、サンプリングパルス(Samp. Pulse)とデジタル映像信号(Digital Data)が入力される。第2の回路1302からは出力(Data Out)が出力される。

【0037】出力(Data Out)には容量手段1304が接続されている。この容量手段1304は、後段の回路構成によってはなくてもよい。

【0038】さらに、第1の回路1301及び第2の回路1302は以下の5つの条件を満たすものとする。

【0039】(1) 第1の回路、および第2の回路を構成するTFTは全て単極性である。

(2) 第1の回路において、貫通電流が流れるのは、サンプリングパルス(Samp. Pulse)とデジタル映像信号(Digital Data)の両方がHiの場合のみである。

(3) 第1の回路において、サンプリングパルス(Samp. Pulse)がHiのとき、反転出力(Data Out_b)には、デジタル映像信号(Digital Data)の反転信号が出力される。

(4) 第2の回路において、サンプリングパルス(Samp. Pulse)がHiのとき、出力(Data Out)には、デジタル映像信号(Digital Data)が出力される。

(5) 第1の回路、および第2の回路において、サンプリングパルス(Samp. Pulse)がLoのとき、出力(Data Out)および反転出力(Data Out_b)は、浮遊状態である。

【0040】(2)において、貫通電流は高電位側電源VDDと低電位側電源VSS間の貫通電流、またはサンプリングパルス(Samp. Pulse)と低電位側電源VSS間の貫通電流であるとする。

【0041】(3)または(4)において、反転出力(Data Out_b)または出力(Data Out)がHiであるとは、しきい値補償機能を有するバッ

ファ回路によって反転出力(Data Out_b)または出力(Data Out)が高電位側電源VDDに回復することができる電位であることをいう。

【0042】また、(3)または(4)において、反転出力(Data Out_b)または出力(Data Out)がL_oであるとは、バッファ回路によって反転出力(Data Out_b)または出力(Data Out)が低電位側電源VSSと同じ電位とすることができる電位であることをいう。

【0043】(5)において、出力(Data Out)および反転出力(Data Out_b)は浮遊状態であるとは、厳密に浮遊状態である必要はない。出力(Data Out)および反転出力(Data Out_b)の電位が、後段の回路を含めて、所定の時間(代表的には1水平期間など)保持される程度のインピーダンスを有すればよい。

【0044】本発明は、上記の性質を満たす回路の構成を含む半導体装置を提供する。また本発明は、デジタル映像信号の入力に対して、非反転出力、反転出力の2出力が得られるため、それらの信号によって駆動される後段のバッファにおいては、電流バスの発生を最小限に抑えることが出来る半導体装置を提供する。さらに、上述した構成を用いることにより、消費電力を低減した半導体装置を提供する。

【0045】

【発明の実施の形態】本発明の半導体装置の一例としてラッチ回路を図1に示し、その構成と動作について説明する。

【0046】図1に示すラッチ回路は、TFT101～105、および容量手段106、107を有する。TFT101、103、104のゲート電極には、シフトレジスタより出力されるサンプリングパルス(Samp. Pulse)が入力され、TFT102のゲート電極およびTFT104の入力電極には、デジタル映像信号(Digital Data)が入力される。TFT105の入力電極とゲート電極は、高電位側電源VDDに接続され、TFT105の出力電極とTFT101の出力電極は、TFT103の入力電極に接続され、TFT101の入力電極は、TFT102の出力電極に接続され、TFT102の入力電極は、低電位側電源VSSに接続されている。

【0047】この構成の特徴としては、デジタル映像信号の入力に対し、出力(Data Out)、反転出力(Data Out_b)の2出力を得る点である。

【0048】次いで、図1に示したラッチ回路の動作について説明する。なお、サンプリングパルスおよびデジタル映像信号の、入力時の振幅はいずれもVDD-VSS間とする。

【0049】シフトレジスタより出力されたサンプリングパルスが、TFT101、103、104のゲート電

極に入力され、TFT101、103、104がONする。入力されているデジタル映像信号がHi電位のと

き、TFT102のゲート電極にHi電位が入力されてONする。
【0050】このとき、TFT102、103がともにONし、貫通電流が流れる。TFT102およびTFT103の電流能力を、TFT105の電流能力よりも十分に高くしておくことにより、TFT101、105の出力電極、つまり反転出力端子(Data Out_b)にはL_o電位が現れる。出力端子(Data Out)には、デジタル映像信号がTFT104を通じてそのままHi電位が出力される。

【0051】一方、入力されているデジタル映像信号がL_o電位のと

き、TFT102のゲート電極にはL_o電位が入力されてOFFする。よって、反転出力端子(Data Out_b)にはHi電位が現れる。出力端子(Data Out)には、デジタル映像信号がTFT104を通じてそのままL_o電位が出力される。

【0052】以上の動作が順次、1水平周期分行われる。出力端子(Data Out)および反転出力端子(Data Out_b)に出力された信号は、それぞれ容量手段106、107によって、帰線期間までの間、保持される。なお、後段の回路構成や、水平期間の長さによっては、容量手段106、107はなくてもよい。

【0053】サンプリングパルス(Samp. Pulse)がL_o電位となり、サンプリング期間が終了すると、TFT101、103、104がOFFする。つまり、反転出力端子(Data Out_b)および出力端子(Data Out)は浮遊状態となる。

【0054】また、図1に示した本発明のラッチ回路においては、VDD-TFT101-TFT102-VSS間に電流バスが生ずるのは、サンプリングパルスが入力されており、かつデジタル映像信号がHi電位の時に限られる。
【0055】ここで、出力端子(Data Out)側に現れる出力信号の振幅は、TFT101のしきい値の影響を受けるため、(VDD-V_{thN})-VSS間となる。また、反転出力端子(Data Out_b)側に現れる出力信号の振幅は、TFT102のしきい値の影響を受けるため、同様に(VDD-V_{thN})-VSS間となる。しかし、ラッチ回路の後段にバッファ回路を設けることにより、ブートストラップを用いて振幅の補償を行うため、問題とはならない。

【0056】図1に示した回路において、TFT101とTFT102の位置を入れ替えても良い。また、図1に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0057】また、図1ではTFT101、102がNチャネル型の場合を示したが、本発明はこれに限定され

ない。電源電圧および入出力信号を反転することで、Pチャネル型のTFT101、102を用いることが出来る。

【0058】

【実施例】（実施例1）本実施例は、実施の形態とは異なる構成のラッチ回路について、図11を用いて説明する。

【0059】図11は、図1に示した本発明のラッチ回路の接続に小変更を加えたものである。図11では、図1と対応する箇所には同じ番号を用いる。

【0060】図1においては、TFT105のゲート電極と入力電極が接続されていたが、図11に示すラッチ回路では、TFT105のゲート電極と入力電極の間に新たにTFT111が設けられている。TFT111のゲート電極と入力電極とは電源VDDに接続されており、TFT111の出力電極はTFT105のゲート電極と接続されている。

【0061】上記構成では、TFT105のゲート容量を用いたブートストラップによって、TFT105のゲート電極がVDDよりも電位が上昇する。つまり、図1に示したラッチ回路は、図1に示したラッチ回路と比較して、TFT105の電流能力が高く、反転出力端子(Data Out_b)の立ち上がり早い。

【0062】容量手段106、107は、後段の回路構成や水平期間の長さによってはなくてもよい。また、TFT101とTFT102の位置を入れ替えても良い。また、図11に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0063】なお、本実施例はTFTがNチャネル型の場合を示したが、TFTがPチャネル型の場合に対しても適用することが出来る。

【0064】（実施例2）本実施例は、実施の形態、実施例1とは異なる構成のラッチ回路について、図12を用いて説明する。

【0065】図12は、図1に示した本発明のラッチ回路の接続に小変更を加えたものである。図12では、図1と対応する箇所には同じ番号を用いている。

【0066】図1においては、TFT101の出力電極と電源VDDとの間にはダイオード接続されたTFT105が接続されていたが、図12に示すラッチ回路では、TFT101の出力電極と電源VDDとの間に、抵抗手段121が接続されている。

【0067】容量手段106、107は、後段の回路構成や水平期間の長さによってはなくてもよい。また、TFT101とTFT102の位置を入れ替えても良い。また、図12に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0068】なお、本実施例はTFTがNチャネル型の

場合を示したが、TFTがPチャネル型の場合に対しても適用することが出来る。

【0069】（実施例3）本実施例は、実施の形態、実施例1、2とは異なる構成のラッチ回路について、図13を用いて説明する。

【0070】図13に示した本発明のラッチ回路は、TFT131～134、および容量手段135、136を有する。TFT131、133、134のゲート電極には、シフトレジスタより出力されるサンプリングパルス(Samp. Pulse)が入力され、TFT132のゲート電極およびTFT134の入力電極には、デジタル映像信号(Digital Data)が入力される。

【0071】TFT133の入力電極は高電位側電源VDDに接続され、TFT133の出力電極とTFT131の出力電極とは、反転出力端子(Data Out_b)に出力される。TFT131の入力電極はTFT132の出力電極に接続され、TFT132の入力電極は低電位側電源VSSに接続されている。

【0072】次いで、図13に示すラッチ回路の動作について、以下に説明する。なお、サンプリングパルスおよびデジタル映像信号の入力時の振幅はいずれもVDD-VSS間とする。

【0073】シフトレジスタより出力されたサンプリングパルスが、TFT131、133、134のゲート電極に入力され、TFT131、133、134がONする。入力されているデジタル映像信号がHi電位のと、TFT132のゲート電極にHi電位が入力されてONする。

【0074】このとき、TFT131、132、133がともにONし、貫通電流が流れる。TFT131およびTFT132の電流能力を、TFT133の電流能力よりも十分に高くしておくことにより、TFT131、133の出力電極、つまり反転出力端子(Data Out_b)にはLo電位が現れる。出力端子(Data Out)には、デジタル映像信号がTFT134を通じてそのままHi電位が出力される。

【0075】一方、入力されているデジタル映像信号がLo電位のと、TFT132のゲート電極にはLo電位が入力されてOFFする。よって、反転出力端子(Data Out_b)にはHi電位が現れる。出力端子(Data Out)には、デジタル映像信号がTFT134を通じてそのままLo電位が出力される。

【0076】以上の動作が順次、1水平周期分行われる。出力端子(Data Out)および反転出力端子(Data Out_b)に出力された信号は、それぞれ容量手段135、136によって、帰線期間までの間、保持される。なお、後段の回路構成や、水平期間の長さによっては、容量手段106、107はなくてもよい。

【0077】サンプリングパルス(Samp. Pulse)がLo電位となり、サンプリング期間が終了する

10

20

30

40

50

と、TFT131、133、134がOFFする。つまり、反転出力端子(Data Out_b)および出力端子(Data Out)は浮遊状態となる。

【0078】また、図13に示した本発明のラッチ回路においては、VDD-TFT133-TFT131-TFT132-VSS間に電流パスが生ずるのは、サンプリングパルスが入力されており、かつデジタル映像信号がH_i電位の時に限られる。

【0079】ここで、出力端子(Data Out)側に現れる出力信号の振幅は、TFT101のしきい値の影響を受けるため、(VDD-V_{thN})-VSS間となり、反転出力端子(Data Out_b)側に現れる出力信号の振幅は、TFT102のしきい値の影響を受けるため、同様に(VDD-V_{thN})-VSS間となるが、以後、ラッチ回路の後段にバッファ回路を設けることにより、ブートストラップを用いて振幅の補償を行うため、問題とはならない。

【0080】なお、図13に示した回路において、TFT131とTFT132の位置を入れ替えても良い。また、図13に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0081】なお図13ではTFT131、132がNチャンネル型の場合を示したが、本発明はこれに限定されない。電源電圧および入出力信号を反転することで、Pチャンネル型のTFT131、132を用いることが出来る。

【0082】(実施例4) 本実施例は、実施の形態、実施例1乃至実施例3とは異なる構成のラッチ回路について、図30を用いて説明する。

【0083】図30に示すラッチ回路は、図13に示した本発明のラッチ回路の接続に小変更を加えたものである。図13においては、TFT133の入力電極は電源VDDに接続されていたが、図30に示すラッチ回路では、TFT133の入力電極はサンプリングパルスに接続されている。

【0084】なお図30に示すラッチ回路の動作は、実施例3で説明した図13に示すラッチ回路と同様であるので、本実施例では説明は省略する。

【0085】容量手段135、136は、後段の回路構成や水平期間の長さによってはなくてもよい。また、TFT131とTFT132の位置を入れ替えても良い。また、図30に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0086】なお、本実施例はTFTがNチャンネル型の場合を示したが、TFTがPチャンネル型の場合に対しても適用することが出来る。

【0087】(実施例5) 本実施例は、実施の形態、実施例1乃至実施例4とは異なる構成のラッチ回路につい

て、図31を用いて説明する。

【0088】図31に示すラッチ回路は、図13に示した本発明のラッチ回路の接続に小変更を加えたものである。図13においては、TFT133の入力電極は電源VDDに接続されていたが、図31に示すラッチ回路では、TFT133の入力電極はサンプリングパルスに接続されている。さらに、本発明のラッチ回路には、TFT141が設けられており、TFT141のゲート電極と入力電極にはサンプリングパルスが接続されており、TFT141の出力電極にはTFT133のゲート電極が接続されている。

【0089】なお図31に示すラッチ回路の動作は、実施例3で説明した図13に示すラッチ回路と同様であるので、本実施例では説明は省略する。

【0090】なお、容量手段135、136は、後段の回路構成や水平期間の長さによってはなくてもよい。また、TFT131とTFT132の位置を入れ替えても良い。また、図30に示した回路は、課題を解決するための手段で述べた本発明におけるラッチ回路の性質を全て満たす回路となっている。

【0091】なお、本実施例はTFTがNチャンネル型の場合を示したが、TFTがPチャンネル型の場合に対しても適用することが出来る。

【0092】(実施例6) 本実施例は、実施の形態、実施例1乃至実施例5とは異なる構成のラッチ回路の構成とその動作について、図14を用いて説明する。

【0093】図14は、実施の形態にて説明した構成でなる回路を第1のラッチ回路とし、第2のラッチ回路およびバッファまでを構成した例である。第1のラッチ回路1101は、TFT1111~1115および容量手段1116、1117とを有し、第2のラッチ回路1102は、TFT1118、1119および容量手段1120、1121とを有し、バッファ回路1103は、TFT1122~1125および容量手段1126でなるインバータと、TFT1127~1130および容量手段1131でなるインバータとを有する。

【0094】1水平周期分のサンプリングが終了した後の帰線期間中に、ラッチパルス(Latch Pulse)が入力されると、第2のラッチ回路1102におけるTFT1118、1119がONし、第1のラッチ回路1101において、容量手段1116、1117にて保持されている信号が、第2のラッチ回路1102における容量手段1120、1121に書き込まれる。

【0095】サンプリングパルス(Samp. Pulse)がL_o電位となり、サンプリング期間が終了すると、TFT1111、1113、1114がOFFする。よって、TFT1118、1119の入力電極は浮遊状態となる。続いて、ラッチパルス(Latch Pulse)が入力されると、TFT1118、1119がONし、容量手段1120、1121に信号が書き込

まれるが、このとき、TFT1118、1119の入力電極に電流の供給源が接続されていないため、前述の動作は、容量手段1116、1117、1120、1121における電荷の移動のみによって行われることになる。よって容量手段1120、1121への書き込みが十分に行われるようにするためには、容量手段1116、1117は大きく設計しておくのが望ましい。

【0096】続いて、第2のラッチ回路1102からの出力信号は、バッファ回路1103へと入力される。バッファ回路1103は、2つのインバータを対に配置したものであるため、ここでは、TFT1122~1125および容量手段1126で構成されたインバータ一方のみの動作について述べる。

【0097】第2のラッチ回路1102の一方の出力(Data Out2)がHi電位るとき、TFT1122のゲート電極にHi電位が入力されてONする。一方、TFT1123、1125のゲート電極には、第2のラッチ回路1102の他方の出力(Data Out2_b)であるLo電位が入力されてOFFする。よって、TFT1124のゲート電極の電位が上昇する。

【0098】このとき、TFT1122のゲート電極の電位は、 $(VDD - V_{thN})$ であるため、TFT1124のゲート電極の電位が $(VDD - 2 \times V_{thN})$ となったところで、TFT1122のゲート・ソース間電圧がそのしきい値を下回り、OFFする。よってTFT1124のゲート電極は、その時点で一時浮遊状態となる。

【0099】ここで、 $V_{thN} < (VDD - V_{thN})$ であるならば、TFT1124がONし、バッファ1103の出力端子(Data Out3)にはHi電位が現れるので、電位が上昇する。さらに、TFT1124のゲート電極と出力電極との間には容量手段1126を有し、今、TFT1124のゲート電極は浮遊状態であるため、出力端子(Data Out3)の電位上昇に伴い、容量結合によってTFT1124のゲート電極の電位がさらに上昇する。

【0100】その結果、TFT1124のゲート電極の電位が、 $(VDD + V_{thN})$ よりも高くなると、出力端子にHi電位が現れ、その電位はTFT1124のしきい値の影響を受けることなく、VDDに等しくなる。

【0101】一方、第2のラッチ回路1102の一方の出力(Data Out2)がLo電位るとき、TFT1122のゲート電極にはLo電位が入力されてOFFする。一方、TFT1123、1125のゲート電極には、第2のラッチ回路1102の他方の出力(Data Out2_b)であるHi電位が入力されてONする。よってTFT1124のゲート電極の電位はLo電位となってOFFし、出力端子(Data Out3)にはLo電位が現れる。

【0102】TFT1127~1130および容量手段1131でなるインバータについても動作は同様であ

り、一方の出力端子(Data Out3)にHi電位が現れるときは、他方の出力端子(Data Out3_b)にはLo電位が現れる。

【0103】本実施例で示したラッチ回路においては、第1のラッチ回路~第2のラッチ回路において、TFTのしきい値分の振幅減衰が生ずるため、電源電圧がある程度高い必要がある。そこで、第1のラッチ回路の出力を、一旦バッファを介して振幅の補償を行う構成としても良い。

【0104】なお、本実施例において、容量手段1120、1121はなくともよい。容量手段1120、1121によって保持される情報は、ラッチパルス(Latch Pulse)により、TFT1118、1119がONすると、そのままバッファ回路1103の出力端子(Data Out3およびData Out3_b)に伝達される。バッファ回路1103の出力電位は、ブートストラップに用いられる容量手段1126、1131によって保持されるため、これを用いてデータをラッチしても良い。

【0105】なお、本実施例はTFTがNチャンネル型の場合を示したが、TFTがPチャンネル型の場合に対しても適用することが出来る。

【0106】本実施例は実施の形態、実施例1乃至実施例5と自由に組み合わせて実施することが可能である。

【0107】(実施例7) 前述した実施例6においては、第1のラッチ回路からの出力は、直ちに第2のラッチ回路に入力され、振幅減衰の補償は、第2のラッチ回路の後段に配置されたバッファ回路が行っている。但しこの場合、動作電圧が低く、かつTFTのしきい値が大きい場合、元の振幅に対してしきい値分の減衰による影響が大きく、ラッチ回路において正常な保持動作が行われないことが考えられる。

【0108】そこで本実施例では、第1のラッチ回路の後段に振幅補償用バッファ回路を追加した構成をする構成の半導体装置について説明する。

【0109】図32に本発明の半導体装置の構成を示す。点線枠1201で囲まれた部分は、実施の形態で説明した第1のラッチ回路であり、TFT1211~1215、および容量手段1216、1217を有している。

【0110】点線枠1202で囲まれた部分が、第1のラッチ回路からの出力振幅を補償するための、振幅補償用バッファ回路であり、TFT1218~1222、および容量手段1220、1223を有している。

【0111】次いで、図32に示した半導体装置の動作について説明する。ここで、TFT1218、1219および容量手段1220で構成される回路と、TFT1221、1222および容量手段1223で構成される回路とは、入力される信号の極性が逆であることを除いて、上述した実施例で説明した動作と同様の動作をす

10

20

30

40

50

る。そのため本実施例では、TFT1218、1219 および容量1220で構成される回路のみの動作について説明する。

【0112】第1のラッチ回路1201に、サンプリングパルス(Samp. Pulse)とデジタル映像信号(Digital Data)とが入力され、第1の出力信号(Data Out)および第2の出力信号(Data Out_b)が出力される。

【0113】TFT1214の出力電極から出力される信号を第1の出力信号、TFT1213の出力電極から出力される信号を第2の出力信号とする。第2の出力信号は、第1の出力信号に対して反転した極性を有する。

【0114】第1のラッチ回路に入力されるデジタル映像信号(Digital Data)がHi電位るとき、第1の出力信号はHi電位、第2の出力信号はLo電位であり、第1のラッチ回路に入力されるデジタル映像信号(Digital Data)がLo電位るとき、第1の出力信号はLo電位、第2の出力信号はHi電位である。

【0115】ここで、第1および第2の出力信号の振幅は、第1のラッチ回路にてTFT1213、1214のしきい値の影響を受けるため、(VDD-VthN)-VSS間となっている。つまりVthNだけ、振幅の減衰を生じている。

【0116】第1の出力信号がLo電位、第2の出力信号がHi電位である場合、TFT1218のゲート電極にはHi電位が入力され、TFT1219のゲート電極にはLo電位が入力される。

【0117】一方、第1のラッチ回路でサンプリング期間が終了すると、サンプリングパルスはLo電位となり、TFT1214、1213がOFFする。よって、TFT1218、1219のゲート電極は、その瞬間の電位を容量手段1216、1214によって保持されつつ、浮遊状態となる。

【0118】このときのTFT1218のゲート電極の電位はHi電位、すなわち(VDD-VthN)であり、TFT1219のゲート電極の電位はVSSである。よって、TFT1218はONし、TFT1218の出力電極の電位が上昇する。このとき、TFT1219はOFFする。

【0119】ここで、容量手段1220による、TFT1218のゲート電極と出力電極間の容量結合によってブートストラップが働き、TFT1218のゲート電極の電位は(VDD-VthN)からさらに上昇して、(VDD+VthN)よりも高い電位をとる。よって、TFT1218の出力電極の電位、すなわちバッファ出力(Data Out_b)の電位は、VDDに等しくなる。

【0120】一方、TFT1218のゲート電極にLo電位が入力され、TFT1218のゲート電極にHi電位が入力されると、バッファ出力はLo電位となる。

【0121】以上の動作が、TFT1221、1222 および容量手段1223によって構成される回路においても同様に成され、バッファ出力がHi電位るとき、反転バッファ出力(Data Out_b)はLo電位となり、バッファ出力がLo電位るとき、反転バッファ出力はHi電位となる。

【0122】よって、第1のラッチ回路の出力の振幅が補償され、正常にVDD-VSS間の振幅が得られ、第2のラッチ回路へと入力することが出来る。

【0123】ここで、TFT1218のゲート電極と出力電極間にブートストラップが働くとき、同時にTFT1219のゲート電極も浮遊状態となっているため、特に容量手段を設けない場合にも、TFT1219それ自身のゲート・ドレイン間容量によって、TFT1219のゲート電極の電位が上昇する可能性がある。これによって、TFT1219がONすると、誤動作を招くため、TFT1219のゲート・ドレイン間につく容量は小さくする、すなわちTFT1219のサイズをTFT1218よりも小さくする等の対策があると望ましい。

【0124】図32において、容量手段1216、1217の容量は小さい方が好ましい。これは、容量手段1216、1217の容量が大きいと、ブートストラップによるTFT1218、1221のゲート電極の上昇幅が小さくなってしまふためである。特に、容量手段1216、1217は設けなくても良い。その場合も、バッファ出力(Data Out)および反転バッファ出力(Data Out_b)の電位は、容量手段1220および1223によって、それぞれ保持されるので問題はない。

【0125】なお、本実施例はTFTがNチャネル型の場合を示したが、TFTがPチャネル型の場合に対しても適用することが出来る。

【0126】本実施例は実施の形態、実施例1乃至実施例6と自由に組み合わせて実施することが可能である。

【0127】(実施例8) 本実施例においては、同一基板上に画素部および画素部周辺に設ける駆動回路のTFTを同じに作製する方法について説明する。なお、例として液晶表示回路の作製工程を挙げるが、もちろん本発明は液晶表示装置に限定されるものではない。

【0128】まず、図7(A)に示すように、コーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラス、耐熱性プラスチックから成る基板3001上に酸化シリコン膜、窒化シリコン膜、または酸化窒化シリコン膜などの絶縁膜から成る下地膜3002を形成する。例えば、プラズマCVD法でSiH₄、NH₃、N₂Oから作製される酸化窒化シリコン膜3002aを10~200[nm] (好ましくは50~100[nm]) 形成し、同様にSiH₄、N₂Oから作製される酸化窒化水素化シリコン膜3002bを50~200[nm]

m] (好ましくは100~150 [nm]) の厚さに積層形成する。本実施例では下地膜3002を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0129】島状半導体層3003~3005は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この島状半導体層3003~3005の厚さは25~80 [nm] (好ましくは30~60 [nm]) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【0130】レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数30 [Hz]とし、レーザーエネルギー密度を100~400 [mJ/cm²] (代表的には200~300 [mJ/cm²]) とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数1~10 [kHz]とし、レーザーエネルギー密度を300~600 [mJ/cm²] (代表的には350~500 [mJ/cm²]) とすると良い。そして幅100~1000 [μm]、例えば400 [μm]で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を80~98 [%]として行う。

【0131】次いで、島状半導体層3003~3005を覆うゲート絶縁膜3006を形成する。ゲート絶縁膜3006はプラズマCVD法またはスパッタ法を用い、厚さを40~150 [nm]としてシリコンを含む絶縁膜で形成する。本実施例では、120 [nm]の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Orthosilicate) とO₂とを混合し、反応圧力40 [Pa]、基板温度300~400 [°C]とし、高周波 (13.56 [MHz])、電力密度0.5~0.8 [W/cm²]で放電させて形成することが出来る。このようにして作製される酸化シリコン膜は、その後400~500 [°C]の熱アニールによりゲート絶縁膜として良好な特性を得ることが出来る。

【0132】そして、ゲート絶縁膜3006上にゲート電極を形成するための第1の導電膜3007と第2の導電膜3008とを形成する。本実施例では、第1の導電膜3007をTaで50~100 [nm]の厚さに形成し、

第2の導電膜3008をWで100~300 [nm]の厚さに形成する。

【0133】Ta膜はスパッタ法で、TaのターゲットをArでスパッタすることにより形成する。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することが出来る。また、α相のTa膜の抵抗率は20 [μΩcm]程度でありゲート電極に使用することが出来るが、β相のTa膜の抵抗率は180 [μΩcm]程度でありゲート電極とするには不向きである。α相のTa膜を形成するために、Taのα相に近い結晶構造をもつ窒化タンタル (Ta₂N) を10~50 [nm]程度の厚さでTaの下地に形成しておくこととα相のTa膜を容易に得ることが出来る。

【0134】W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン (WF₆) を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20 [μΩcm]以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999 [%]のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20 [μΩcm]を実現することが出来る。

【0135】なお、本実施例では、第1の導電膜3008をTa、第2の導電膜3009をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuなどから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いても良い。本実施例以外の組み合わせの一例で望ましいものとしては、第1の導電膜3007を窒化タンタル (Ta₂N) で形成し、第2の導電膜3008をWとする組み合わせ、第1の導電膜3007を窒化タンタル (Ta₂N) で形成し、第2の導電膜3008をAlとする組み合わせ、第1の導電膜3007を窒化タンタル (Ta₂N) で形成し、第2の導電膜3008をCuとする組み合わせ等が挙げられる。

【0136】次に、レジストによるマスク3009~3012を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1 [Pa]の圧力でコイル型の電極に500 [W]のRF (13.56 [MHz]) 電力を投入してプラズマを生成して行う。基板側 (試料ステージ) にも100 [W]のRF (13.56 [MHz]) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合には

W膜及びTa膜とも同程度にエッチングされる。

【0137】上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。テーパー部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、 $10 \sim 20$ [%]程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は $2 \sim 4$ (代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は $20 \sim 50$ [nm]程度エッチングされることになる。こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層3013～3016 (第1の導電層3013a～3016aと第2の導電層3013b～3016b)を形成する。このとき、ゲート絶縁膜3006においては、第1の形状の導電層3013～3016で覆われない領域は $20 \sim 50$ [nm]程度エッチングされ薄くなった領域3017が形成される。(図7(B))

【0138】続いて、図7(C)に示すように、レジストマスク3009～3012は除去しないまま、第2のエッチング処理を行う。エッチングガスに CF_4 と Cl_2 と O_2 を用い、W膜を選択的にエッチングする。このとき、第2のエッチング処理により第2の形状の導電層3018～3021 (第1の導電層3018a～3021aと第2の導電層3018b～3021b)を形成する。このとき、ゲート絶縁膜3006においては、第2の形状の導電層3018～3021で覆われない領域はさらに $20 \sim 50$ [nm]程度エッチングされ薄くなった領域3022が形成される。

【0139】W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することが出来る。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_6 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応して CO と F になり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0140】そして、第1のドーピング処理を行いn型

を付与する不純物元素を添加する。ドーピングの方法はイオンドーピング法もしくはイオン注入法で行えば良い。イオンドーピング法の条件はドーピング量を $1 \times 10^{13} \sim 5 \times 10^{14}$ [atoms/cm²]とし、加速電圧を $60 \sim 100$ [keV]として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いるが、ここではリン(P)を用いる。この場合、導電層3018～3021がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域3023～3025が形成される。第1の不純物領域3023～3025には $1 \times 10^{20} \sim 1 \times 10^{21}$ [atoms/cm³]の濃度範囲でn型を付与する不純物元素を添加する。

(図7(C))

【0141】そして、図7(D)に示すように画素部TFTになる部分をレジストマスク3026で覆った上で第2のドーピング処理を行う。このとき、画素部TFTは全てレジストマスクで覆わずに外側を開けてドーピングを行う。第2のドーピング処理は、第1のドーピング処理よりもドーピング量を下げた高い加速電圧の条件としてn型を付与する不純物元素をドーピングする。例えば、加速電圧を $70 \sim 120$ [keV]とし、 1×10^{13} [atoms/cm²]のドーピング量で行い、図7(D)で島状半導体層に形成された第1の不純物領域3023～3025内に新たな不純物領域3017～3029を形成する。ドーピングは、第2の形状の導電層3018、3019を不純物元素に対するマスクとして用い、レジストマスクで覆われていないところの第1の導電層3018a、3019aの下側の領域の半導体層にも不純物元素が添加されるようにドーピングする。こうして、第3の不純物領域3030、3031が形成される。この第3の不純物領域3030、3031に添加されたリン(P)の濃度は、第1の導電層3018a、3019aのテーパー部の膜厚に従って緩やかな濃度勾配を有している。なお、第1の導電層3018a、3019aのテーパー部と重なる半導体層において、第1の導電層3018a、3019aのテーパー部の端部から内側に向かって若干、不純物濃度が低くなっているものの、ほぼ同程度の濃度である。

【0142】以上までの工程でそれぞれの島状半導体層に不純物領域が形成される。島状半導体層と重なる第3の形状の導電層3018～3021がゲート電極として機能する。

【0143】レジストマスク3026を除去した後、導電型の制御を目的として、それぞれの島状半導体層に添加された不純物元素を活性化させる工程を行う。この工程はファーンズアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラビッドサーマルアニール法(RTA法)を適用することが出来る。熱アニール法では酸素濃度が1 [ppm]以下、好ましくは0.1 [ppm]以下の窒素雰囲気中で $400 \sim 700$

[°C]、代表的には500~600[°C]で行うものであり、本実施例では500[°C]で4時間の熱処理を行う。ただし、第3の形状の導電層3018~3021に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜3032（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい（図8（A））。

【0144】さらに、3~100[%]の水素を含む雰囲気中で、300~450[°C]で1~12時間の熱処理を行い、島状半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリング 10 ボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い（図8（A））。

【0145】次いで、図8（B）のように第1の層間絶縁膜3032は酸化窒化シリコン膜から100~200[nm]の厚さで形成する。その上にアクリルなどの有機絶縁材料から成る第2の層間絶縁膜3033を形成する。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚で形成する。好ましくは1~5[μm]（さらに好ましくは2~4[μm]）とすれば良い。 20

【0146】また、第2の層間絶縁膜3033として有機絶縁材料の代わりに無機材料を用いることもできる。無機材料としては無機SiO₂やプラズマCVD法で作製したSiO₂（PCVD-SiO₂）、SOG（Spin on Glass；塗布珪素酸化膜）等が用いられる。

【0147】2つの層間絶縁膜を形成した後にコンタクトホールを形成するためのエッチング工程を行う。ドライエッチングまたはウェットエッチング法を用い、N型の不純物領域3027~3029、およびソース信号線（図示せず）、およびゲート信号線（図示せず）、電流 30 供給線（図示せず）、およびゲート電極3018~3021に達する（図示せず）コンタクトホールをそれぞれ形成する。

【0148】また、配線3034~3037として、Ti膜を100[nm]、Tiを含むAl膜を300[nm]、Ti膜を150[nm]、スパッタ法で連続形成した3層積層の膜を所望の形状にパターンニングして形成する。勿論、他の導電性材料を用いても良い。画素電極3038については、表示装置を反射方とする場合には、反射性の高い材料にて形成する。この場合、配線と同じに形成しても良い。一方、透過型である場合には、酸化インジウム錫（Indium Tin Oxide：ITO）等の透明導電膜材料を用いて形成する。図8（B）の状態まで完了したものを、本明細書ではアクティブマトリクス基板と呼ぶ。

【0149】続いて、対向基板3039を用意する。対向基板3039には、遮光膜3041が形成される。この遮光膜は、クロム（Cr）などを用いて、100[nm]~200[nm]の厚さで形成する。

【0150】一方、画素部においては図8（C）のよう 50

に対向電極3041が形成される。対向電極は、ITOの透明導電性材料を用いて形成する。また、可視光の透過率を高く保つために対向電極の膜厚は100[nm]~120[nm]で形成することが望ましい。

【0151】アクティブマトリクス基板と対向基板とに、配向膜3042、3043を形成する。配向膜3042、3043の膜厚は、30[nm]~80[nm]が望ましい。また、配向膜としては、例えば日産化学社製SE7792などを用いることができる。プレチルト角の高い配向膜を用いると、アクティブマトリクス方式により駆動される液晶表示装置の駆動時にディスクリネーションの発生を抑制することができる。

【0152】続いて、配向膜3042、3043をラビングする。ラビング方向は、液晶表示装置が完成したときに、左巻きのTN（Twisted Nematic）配向となるようにするのが望ましい。

【0153】本実施例においては特に図示しないが、スペーサを画素内に散布もしくはパターンニングにより形成して、セルギャップの均一性を向上させることも可能である。本実施例においては、感光性樹脂膜を製膜、パターンニングして4.0[μm]の高さのスペーサを形成した。

【0154】続いて、シール剤3044により、アクティブマトリクス基板と対向基板とを貼り合わせる。シール剤としては、熱硬化型のシール剤である三井化学社製XN-21Sを用いた。シール剤中にはフィラーを混入する。なお、フィラーの高さは4.0[μm]とする。その後、シール剤が硬化した後に、アクティブマトリクス基板と対向基板とを、所望のサイズに同時に分断する。

【0155】続いて、液晶材料3045を注入する。液晶材料としては、高速応答特性を考慮すると、低粘度のものが望ましい。本実施例においては、配向制御の容易なネマチック液晶を用いる。勿論、高速応答可能な強誘電性液晶、反強誘電性液晶を用いても良い。

【0156】液晶材料の注入が終了したのち、注入口をUV硬化型樹脂等を用いて封止する。その後、公知の方法により偏光板を貼り付ける。最後に、基板上に形成された素子は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する（図8（C））。このような出荷できる常態までにした状態を本明細書中では液晶表示装置と呼ぶ。

【0157】また、本明細書中で示す工程に従えば、アクティブマトリクス基板の作製に必要なフォトマスクの数を5枚（島状半導体層パターン、第1配線パターン（ソース信号線、容量配線）、マスクパターン、コンタクトホールパターン、第2配線パターン（画素電極、接続電極含む））とすることができる。その結果、工程を短縮し、製造コストの低減及び歩留まりの向上に寄与することができる。

【0158】実施例ではNMOS構成のTFTを示したが、このようなTFTを使って図1で示すようなラッチ回路を形成することができる。

【0159】なお、本実施例では、書き込み用TFTは、ダブルゲート構造で示したが、シングルゲート構造やトリプルゲート構造でも構わないし、マルチゲート構造でも構わない。

【0160】なお、本実施例においては、TFTの型式としてはトップゲート型TFTを例に挙げて説明しているが、その他に、図26(A)に示すような活性層の下側にゲート電極を形成したボトムゲート型TFT、あるいは図26(B)に示すような、活性層を挟み込むように、上下にゲート電極を有するデュアルゲート型TFTを用いても実施が可能である。

【0161】本実施例は、実施の形態、実施例1乃至実施例7と自由に組み合わせて実施することが可能である。

【0162】(実施例9) 本実施例においては、実施の形態に示した回路、実施例1乃至実施例7に示した回路、実施例8で示したTFTの作製工程を参考にして、TFTを作製し実際に表示装置(半導体装置)を作成した例について述べる。

【0163】図2(A)に表示装置の概略図を示す。基板200の中央部に、画素部201が配置されている。画素部201の周辺には、ソース信号線を制御するための、ソース信号線駆動回路202および、ゲート信号線を制御するための、ゲート信号線駆動回路207が配置されている。ゲート信号線駆動回路207は、図2

(A)では画素部201の両側に対称配置されているが、画素部201の片側のみに配置しても良い。

【0164】ソース信号線駆動回路202、ゲート信号線駆動回路207を駆動するために外部より入力される信号は、FPC210を介して入力される。本実施例においては、FPC210より入力される信号は、その電圧振幅が小さいため、本実施例では、レベルシフタ206によって電圧振幅の変換を受けた上で、ソース信号線駆動回路202、およびゲート信号線駆動回路207へと入力される。

【0165】図2(A)において、破線A-A'の断面図を図2(B)に示す。基板200上には、画素部201、ソース信号線駆動回路202、ゲート信号線駆動回路(図示せず)が形成されている。基板200と対向基板211とは、シール剤212を用いて貼り合わされ、基板間のギャップには液晶が注入される。液晶の注入後は、図2(A)に示すように、封止剤213によって、注入口を密閉する。

【0166】引きまわし配線221は、異方導電性フィルム223を介して、FPC210が有するFPC側配線222と電気的に接続される。異方導電性フィルム223には、図2(C)に示すような導電性のフィラー2

24が含まれており、基板200とFPC210とを熱圧着することで、基板200の引きまわし配線221と、FPC210上のFPC側配線222とが、導電性フィラー224によって電気的に接続される。

【0167】ソース信号線駆動回路202の構成を図3に示す。点線枠300で示されるシフトレジスタは、クロック信号とスタートパルスとに従ってサンプリングパルスを出力するパルス出力回路301を複数段用いて構成される。第1のラッチ回路302～第2のラッチ回路303～バッファ回路304は、実施例1にて図11に示したものをを用いている。図3のソース信号線駆動回路には、3ビットのデジタル映像信号(DATA1～DATA3)が入力される。よって、第1のラッチ回路302～第2のラッチ回路303～バッファ回路304は、3組が並列に配置され、1つのパルス出力回路301から出力されるサンプリングパルスによって、同時に3ビットずつのデジタル映像信号の保持を行う。

【0168】D/A変換回路305に関しては、本明細書中では特に図示していないが、従来用いられている抵抗分割型、容量型など、いずれの形式のものを用いても良い。

【0169】D/A変換回路305にて、3ビットのデジタル映像信号は8階調のアナログ映像信号へと変換され、それぞれ、ソース信号線(S0001～S最終)へと書き込まれる。

【0170】なお、外部より入力される信号は、IC等の集積回路より出力されるため、近年の低電圧化に伴い、3[V]～5[V]程度の低電圧振幅の信号である場合が多いため、それぞれのレベルシフタ306～309によって、高電圧振幅への信号へと変換されたあと、駆動回路へと入力される。

【0171】ゲート信号線駆動回路207の構成を図4に示す。点線枠400に示されるシフトレジスタは、クロック信号とスタートパルスとに従ってゲート信号線選択パルスを選択するパルス出力回路401を複数段用いて構成される。ゲート信号線の負荷が大きい場合には、すなわち、シフトレジスタより出力されるゲート信号線選択パルスが、直接ゲート信号線の電位をHi電位、Lo電位と切り替えるだけの駆動能力を有していない場合、バッファ404を用いる必要がある。

【0172】なお、外部より入力される信号は、IC等の集積回路より出力されるため、近年の低電圧化に伴い、3[V]～5[V]程度の低電圧振幅の信号である場合が多いため、それぞれのレベルシフタ401、402によって、高電圧振幅への信号へと変換されたあと、駆動回路へと入力される。

【0173】本実施例は、実施の形態、実施例1乃至実施例7と自由に組み合わせて実施することが可能である。

【0174】(実施例10) 実施例8に示した工程は、

画素および周辺の駆動回路はNチャネル型TFTを用いて構成する場合の例として説明したが、本発明はPチャネル型TFTを用いて作製することも出来る。

【0175】Nチャネル型TFTの場合、ホットキャリア劣化等の抑制のため、ゲート電極と重なる領域に、オーバーラップ領域と呼ばれる不純物領域を設けている。これに対してPチャネル型TFTの場合は、ホットキャリア劣化による影響が小さいので、特にオーバーラップ領域を設ける必要はなく、この場合より簡単な工程で作成することが可能である。

【0176】図9(A)に示すように、実施例8に従って、ガラスや耐熱性プラスチックなどを用いた絶縁基板3101上に下地膜3102を形成し、次いで島状の半導体層3103～3105、ゲート絶縁膜3106、導電層3107、3108を形成する。ここで、導電層3107、3108はここでは積層構造としているが、特に単層であってもかまわない。

【0177】次いで、図9(B)に示すように、レジストによるマスク3109～3112を形成し、第1のエッチング処理を行う。実施例8においては、積層構造とした導電層の材質による選択比を利用して、異方性エッチングを行ったが、ここでは特にオーバーラップ領域となる領域を設ける必要はないので、通常エッチングにて行えば良い。このとき、ゲート絶縁膜3106においては、エッチングによって20[nm]～50[nm]程度薄くなった領域3117が形成される。

【0178】続いて、図9(C)に示すように、島状の半導体層にP型を付与する不純物元素を添加するために第1のドーピング処理を行う。導電層3113～3116を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。P型を付与する不純物元素としては、ボロン(B)等が代表的である。ここでは、ジボラン(B_2H_6)を用いたイオンドープ法で形成し、半導体中の不純物濃度が $2 \times 10^{20} \sim 2 \times 10^{21}$ [atoms/cm²]となるようにする。

【0179】レジストとなるマスクを除去して、図9(D)の状態を得る。以後、実施例8における図8(B)以降の工程に従って作製する。

【0180】本実施例は、実施の形態、実施例1乃至実施例7、実施例9と自由に組み合わせて実施することが可能である。

【0181】(実施例11)本実施例は、本発明の半導体装置が有するTFTの半導体活性層を作製する上で、半導体膜を結晶化する手法の例を示す。

【0182】ガラス基板上に下地膜として、プラズマCVD法により酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)400nmを形成した。続いて、前記下地膜上に半導体膜として、プラズマCVD法により非晶質珪素膜150nmを形成した。そして、500℃で3時間の熱処理を行って、半導体膜が

含有する水素を放出させた後、レーザアニール法により半導体膜の結晶化を行った。

【0183】レーザアニール法に用いるレーザとしては、連続発振のYVO₄レーザを用いた。レーザアニール法の条件は、レーザ光としてYVO₄レーザの第2高調波(波長532nm)を用いた。レーザ光を光学系により所定の形状のビームとして、基板表面上に形成した半導体膜の照射した。

【0184】なお、基板上に照射されるビームの形状は、レーザの種類や、光学系によって変化させることができる。こうして、基板上に照射されるビームのアスペクト比やエネルギー密度の分布を変えることができる。例えば、基板上に照射されるビームの形状は、線状、矩形状、楕円状など、様々な形状とすることができる。本実施例では、YVO₄レーザの第2高調波を、光学系によって200μm×50μmの楕円状にし、半導体膜に照射した。

【0185】ここで、レーザ光を基板表面上に形成した半導体膜に照射する際に用いる、光学系の模式図を図15に示す。

【0186】レーザ4001から射出されたレーザ光(YVO₄レーザの第2高調波)は、ミラー4002を経由して、凸レンズ4003に入射する。レーザ光は凸レンズ4003に対して斜めに入射させる。このようにすることで、非点収差などの収差により焦点位置がずれ、照射面またはその近傍において楕円状ビーム4006を形成することができる。

【0187】そして、このようにして形成される楕円状ビーム4006を照射しながら、例えば4007で示す方向または4008で示す方向にガラス基板4005を移動させた。こうして、ガラス基板4005上に形成された半導体膜4004において、楕円状ビーム4006を相対的に移動させながら照射した。

【0188】なお、楕円状ビーム4006の相対的な走査方向は、楕円状ビーム4006の長軸に垂直な方向とした。

【0189】本実施例では、凸レンズ4003に対するレーザ光の入射角φを20°として200μm×50μmの楕円状ビームを形成し、ガラス基板4005を50cm/sの速度で移動させながら照射して、半導体膜の結晶化を行った。

【0190】このようにして得られた結晶性半導体膜にセコエッチングを行って、SEMにより1万倍にて表面を観察した結果を図16に示す。なお、セコエッチングにおけるセコ液はHF:H₂O=2:1に添加剤としてK₂Cr₂O₇を用いて作製されるものである。図16は、図中の矢印で示す方向にレーザ光を相対的に走査させて得られたものである。レーザ光の走査方向に平行に大粒径の結晶粒が形成されている様子がわかる。つまり、レーザ光の走査方向に対して延在するように結晶成

長がなされる。

【0191】このように、本実施例の手法を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されている。そのため、前記半導体膜を半導体活性層として用いてTFTを作製すると、前記TFTのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。また、個々の結晶粒の内部は実質的に単結晶と見なせる結晶性を有することから、単結晶半導体を用いたトランジスタと同等の高いモビリティ（電界効果移動度）を得ることも可能である。

【0192】さらに、TFTを、そのキャリアの移動方向が、形成された結晶粒の延在する方向と揃うように配置すれば、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、オン電流値（TFTがオン状態にある時に流れるドレイン電流値）、オフ電流値（TFTがオフ状態にある時に流れるドレイン電流値）、しきい値電圧、S値及び電界効果移動度のバラツキを低減することも可能となり、電気的特性は著しく向上する。

【0193】なお、半導体膜の広い範囲に楕円状ビーム4006を照射するため、楕円状ビーム4006をその＊

$$\text{【数1】 } R_{OL} = (1 - d/D) \times 100 \cdots \text{式(1)}$$

【0197】本実施例ではオーバーラップ率 R_{OL} を0[%]とした。

【0198】本実施例で作製された半導体膜は実施例8および実施例10で示したTFT作製工程に、また後述する実施例17および実施例18のTFTの作製工程に適用することができる。

【0199】（実施例12）本実施例は、本発明の半導体装置が有するTFTの半導体活性層を作製する上で、半導体膜を結晶化する手法において、実施例11とは異なる例を示す。

【0200】半導体膜として非晶質珪素膜を形成するまでの工程は、実施例11と同様である。その後、特開平7-183540号公報に記載された方法を利用し、前記半導体膜上にスピンコート法にて酢酸ニッケル水溶液（重量換算濃度5ppm、体積10ml）を塗布し、500℃の窒素雰囲気中で1時間、550℃の窒素雰囲気中で12時間の熱処理を行った。続いて、レーザアニール法により、半導体膜の結晶性の向上を行った。

【0201】レーザアニール法に用いるレーザとしては、連続発振のYVO₄レーザを用いた。レーザアニール法の条件は、レーザ光としてYVO₄レーザの第2高調波（波長532nm）を用い、図15で示した光学系における凸レンズ4003に対するレーザ光の入射角 ϕ を20°として、200 μ m×50 μ mの楕円状ビームを形成した。ガラス基板4005を50cm/sの速度で移動させながら、前記楕円状ビームを照射して、半導体膜の結晶性の向上を行った。

＊長軸に垂直な方向に走査して半導体膜に照射する場合

（以下、スキャンと表記する）を、複数回行っている。ここで、一回のスキャン毎に、楕円状ビーム4006の位置は、その長軸に平行な方向にずらされる。また、隣接するスキャン間では、その走査方向を逆にする。ここで、連続する2回のスキャンにおいて、一方を往路のスキャン、もう一方を復路のスキャンと呼ぶことにする。

【0194】楕円状ビーム4006の位置を、一回のスキャン毎にその長軸に平行な方向にずらす大きさを、ピッチdと表現する。また、往路のスキャンにおいて、図16に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム4006の走査方向に垂直な方向の長さを、D1と表記する。復路のスキャンにおいて、図16に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム4006の走査方向に垂直な方向の長さを、D2と表記する。また、D1とD2の平均値をDとする。

【0195】このとき、オーバーラップ率 R_{OL} [%]を式(1)で定義する。

【0196】

【0202】なお、楕円状ビーム4006相対的な走査方向は、楕円状ビーム4006の垂直な方向とした。

【0203】このようにして得られた結晶性半導体膜にセコエッチングを行って、SEMにより1万倍にて表面を観察した。その結果を図17に示す。図17は、図中の矢印で示す方向にレーザ光を相対的に走査させて得られたものであり、走査方向に対して延在して大粒径の結晶粒が形成されている様子がわかる。

【0204】このように、本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTFTを作製すると、そのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。また、個々の結晶粒は実質的に単結晶と見なせる結晶性を有することから、単結晶半導体を用いたトランジスタと同等の高いモビリティ（電界効果移動度）を得ることも可能である。

【0205】さらに、形成された結晶粒が一方方向に揃っている。そのため、TFTを、そのキャリアの移動方向が、形成された結晶粒の延在する方向と揃うように配置すれば、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、オン電流値、オフ電流値、しきい値電圧、S値及び電界効果移動度のバラツキを低減することも可能となり、電気的特性は著しく向上する。

【0206】なお、半導体膜の広い範囲に楕円状ビーム4006を照射するため、楕円状ビーム4006をその長軸に垂直な方向に走査して半導体膜に照射する場合

(スキャン)を、複数回行っている。ここで、一回のスキャン毎に、楕円状ビーム4006の位置は、その長軸に平行な方向にずらされる。また、隣接するスキャン間では、その走査方向を逆にする。ここで、連続する2回のスキャンにおいて、一方を往路のスキャン、もう一方を復路のスキャンと呼ぶことにする。

【0207】楕円状ビーム4006の位置を、一回のスキャン毎にその長軸に平行な方向にずらす大きさを、ピッチdと表現する。また、往路のスキャンにおいて、図17に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム4006の走査方向に垂直な方向の長さを、D1と表記する。復路のスキャンにおいて、図17に示したような大粒径の結晶粒が形成された領域の、楕円状ビーム4006の走査方向に垂直な方向の長さを、D2と表記する。また、D1とD2の平均値をDとする。

【0208】このとき、式(1)と同様にオーバーラップ率 R_{ol} [%]を定義する。本実施例ではオーバーラップ率 R_{ol} を0 [%]とした。

【0209】また、上記結晶化の手法によって得られた半導体膜(図中、Improved CG-Siliconと表記)のラマン散乱分光の結果を図18に太線で示す。ここで、比較のため、単結晶シリコン(図中、ref.(100)Si Waferと表記)のラマン散乱分光の結果を細線で示した。また、非晶質珪素膜を形成後、熱処理を行って半導体膜が含有する水素を放出した後、パルス発振のエキシマレーザを用い結晶化を行った半導体膜(図中、excimer laser annealingと表記)のラマン散乱分光の結果を図18に点線で示した。

【0210】本実施例の手法によって得られた半導体膜のラマンシフトは、 517.3 cm^{-1} のピークを有する。また、半値幅は、 4.96 cm^{-1} である。一方、単結晶シリコンのラマンシフトは、 520.7 cm^{-1} のピークを有する。また、半値幅は、 4.44 cm^{-1} である。パルス発振のエキシマレーザを用い結晶化を行った半導体膜のラマンシフトは、 516.3 cm^{-1} である。また、半値幅は 6.16 cm^{-1} である。

【0211】図18の結果により、本実施例に示した結晶化の手法によって得られた半導体膜の結晶性が、パルス発振のエキシマレーザを用い結晶化を行った半導体膜の結晶性に比べて単結晶シリコンに近いことがわかる。

【0212】本実施例で作製された半導体膜は、実施例8、実施例10のTFTの作製工程に適用することができる。

【0213】(実施例13)本実施例では、実施例11に示した手法によって結晶化した半導体膜を用いてNチャンネルTFTを作製した例について、図15、図19および図21を用いて説明する。

【0214】本実施例では基板4120として、ガラス基板を用い、ガラス基板上に下地膜4121として、ブ

ラズマCVD法により酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)50nm、酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)100nmを積層した。次いで、下地膜4121上に半導体膜4122として、プラズマCVD法により非晶質珪素膜150nmを形成した。そして、500℃で3時間の熱処理を行って、半導体膜が含有する水素を放出させた。(図19(A))

【0215】その後、レーザ光として連続発振のYVO₄レーザの第2高調波(波長532nm、5.5W)を用い、図15で示した光学系における凸レンズ4003に対するレーザ光の入射角 ϕ を20°として200 μm ×50 μm の楕円状ビームを形成した。前記楕円状ビームを、50cm/sの速度で相対的に走査して、半導体膜4122に照射した。(図19(B))

【0216】そして、第1のドーピング処理を行う。これはしきい値を制御するためのチャネルドープである。材料ガスとしてB₂H₆を用い、ガス流量30sccm、電流密度0.05 μA 、加速電圧60keV、ドーズ量 $1\times 10^{14}/\text{cm}^2$ として行った。(図19(C))

【0217】続いて、バターンニングを行って、半導体膜4124を所望の形状にエッチングした後、エッチングされた半導体膜を覆うゲート絶縁膜4127としてプラズマCVD法により膜厚115nmの酸化窒化珪素膜を形成する。次いで、ゲート絶縁膜4127上に導電膜として膜厚30nmのTa₂N膜4128と、膜厚370nmのW膜4129を積層形成する。(図19(D))

【0218】フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成して、W膜、Ta₂N膜、ゲート絶縁膜をエッチングする。

【0219】そして、レジストからなるマスクを除去して第2のドーピング処理を行い、半導体膜にn型を付与する不純物元素を導入する。この場合、導電層4130、4131がn型を付与する不純物元素に対するマスクとなり、自己整合的に不純物領域4134が形成される。本実施例では第2のドーピング処理は、半導体膜の膜厚が150nmと厚いため2条件に分けて行った。本実施例では、材料ガスとしてフォスフィン(PH₃)を用い、ドーズ量を $2\times 10^{13}/\text{cm}^2$ とし、加速電圧を90keVとして行った後、ドーズ量を $5\times 10^{14}/\text{cm}^2$ とし、加速電圧を10keVとして行った。(図19(E))

【0220】この工程で、半導体層に不純物領域4134が形成される。

【0221】次いで、プラズマCVD法により第1の層間絶縁膜4137として膜厚50nmの酸化窒化珪素膜(組成比Si=32.8%、O=63.7%、N=3.5%)を形成した。

【0222】次いで、熱処理により、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行

う。本実施例ではファーンズアニール炉を用いた熱アニール法により、窒素雰囲気中にて550度4時間の熱処理を行った。(図19(F))

【0223】次いで、第1の層間絶縁膜4137上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜4138を形成する。本実施例では、CVD法により膜厚50nmの窒化珪素膜を形成した後、膜厚400nmの酸化珪素膜を形成した。

【0224】そして、熱処理を行うと水素化処理を行うことができる。本実施例では、ファーンズアニール炉を用い、410度で1時間、窒素雰囲気中にて熱処理を行った。

【0225】2つの層間絶縁膜を形成した後にコンタクトホールを形成するためのエッチング工程を行う。ドライエッチングまたはウェットエッチング法を用いて、N型の不純物領域4137、およびソース信号線(図示せず)、およびゲート信号線(図示せず)、電流供給線(図示せず)、およびゲート電極4130に達する(図示せず)コンタクトホールをそれぞれ形成する。

【0226】続いて、各不純物領域と電気的に接続する配線4139を形成する。本実施例では、膜厚50nmのTi膜と、膜厚500nmのAl-Si膜と、膜厚50nmのTi膜との積層膜をパターニングして形成した。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、AlとTiに限らない。例えば、Ta-N膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をパターニングして配線を形成してもよい。(図19(G))

【0227】以上の様にして、チャンネル長6μm、チャンネル幅4μmのNチャンネル型TFET4151が形成された。

【0228】このNチャンネル型TFET4151の電気的特性を測定した結果を図21(A)に示す。電気的特性の測定条件は、測定点をそれぞれ2点とし、ゲート電圧 $V_g = -16 \sim 16$ Vの範囲で、ドレイン電圧 $V_d = 1$ V及び5 Vとした。また、図21において、ドレイン電流(ID)、ゲート電流(IG)は実線で、移動度(μFE)は点線で示している。

【0229】本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTFETを作製すると、そのチャンネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方向に揃っているため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、図21に示したように電気的特性の良いTFETが得られる。特に移動度が、Nチャンネル型TFETでは $524 \text{ cm}^2/\text{Vs}$ となることわかる。このようなTFETを用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0230】本実施例で作製された半導体膜は、実施の形態および実施例1～実施例7のTFETの作製工程に適用することができる。

【0231】(実施例14) 本実施例では、実施例11に示した手法によって結晶化した半導体膜を用いてPチャンネル型TFETを作製した例について、図15、図20および図21を用いて説明する。

【0232】本実施例では基板4220として、ガラス基板を用い、ガラス基板上に下地膜4221として、プラズマCVD法により酸化窒化珪素膜(組成比Si=32%、O=27%、N=24%、H=17%)50nm、酸化窒化珪素膜(組成比Si=32%、O=59%、N=7%、H=2%)100nmを積層した。次いで、下地膜4221上に半導体膜4222として、プラズマCVD法により非晶質珪素膜150nmを形成した。そして、500℃で3時間の熱処理を行って、半導体膜が含有する水素を放出させた。(図20(A))

【0233】その後、レーザ光として連続発振のYVO₄レーザの第2高調波(波長532nm、5.5W)を用い、図15で示した光学系における凸レンズ4003に対するレーザ光の入射角φを20°として200μm×50μmの楕円状ビームを形成した。前記楕円状ビームを、50cm/sの速度で相対的に走査して、半導体膜4222に照射した。(図20(B))

【0234】そして、第1のドーピング処理を行う。これはしきい値を制御するためのチャネルドーピングである。材料ガスとしてB₂H₆を用い、ガス流量30sccm、電流密度0.05μA、加速電圧60keV、ドーピング量 $1 \times 10^{14} / \text{cm}^2$ として行った。(図20(C))

【0235】続いて、パターニングを行って、半導体膜4224を所望の形状にエッチングした後、エッチングされた半導体膜を覆うゲート絶縁膜4227としてプラズマCVD法により膜厚115nmの酸化窒化珪素膜を形成する。次いで、ゲート絶縁膜4227上に導電膜として膜厚30nmのTa-N膜4228と、膜厚370nmのW膜4229を積層形成する。(図20(D))

【0236】フォトリソグラフィ法を用いてレジストからなるマスク(図示せず)を形成して、W膜、Ta-N膜、ゲート絶縁膜をエッチングする。

【0237】そして、レジストからなるマスクを除去した後、第2のドーピング処理を行う。第2のドーピング処理により、Pチャンネル型TFETの活性層となる半導体膜に不純物元素が添加された不純物領域4236を形成する。導電層4230、4231を不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加して自己整合的に不純物領域4236を形成する。本実施例では第2のドーピング処理においても、半導体膜の膜厚が150nmと厚いため2条件に分けて行った。本実施例では、材料ガスとしてジボラン(B₂H₆)を用い、ドーピング量を $2 \times 10^{13} / \text{cm}^2$ とし、加速電圧を90k

eVとして行った後、ドーズ量を $1 \times 10^{11} / \text{cm}^2$ とし、加速電圧を10keVとして行った。(図20(E))

【0238】以上までの工程で、半導体層に不純物領域4236が形成される。

【0239】次いで、プラズマCVD法により第1の層間絶縁膜4237として膜厚50nmの酸化窒化珪素膜(組成比Si=32.8%, O=63.7%, H=3.5%)を形成した。

【0240】次いで、熱処理により、半導体層の結晶性の回復、半導体層に添加された不純物元素の活性化を行う。本実施例ではファーンズアニール炉を用いた熱アニール法により、窒素雰囲気中にて550度4時間の熱処理を行った。(図20(F))

【0241】次いで、第1の層間絶縁膜4237上に無機絶縁膜材料または有機絶縁物材料から成る第2の層間絶縁膜4238を形成する。本実施例では、CVD法により膜厚50nmの窒化珪素膜を形成した後、膜厚400nmの酸化珪素膜を形成した。

【0242】そして、熱処理を行うと水素化処理を行うことができる。本実施例では、ファーンズアニール炉を用い、410度で1時間、窒素雰囲気中にて熱処理を行った。

【0243】2つの層間絶縁膜を形成した後にコンタクトホールを形成するためのエッチング工程を行う。ドライエッチングまたはウェットエッチング法を用いて、N型の不純物領域4237、およびソース信号線(図示せず)、およびゲート信号線(図示せず)、電流供給線(図示せず)、およびゲート電極4230に達する(図示せず)コンタクトホールをそれぞれ形成する。

【0244】続いて、各不純物領域と電氣的に接続する配線4239を形成する。本実施例では、膜厚50nmのTi膜と、膜厚500nmのAl-Si膜と、膜厚50nmのTi膜との積層膜をバタニングして形成した。もちろん、二層構造に限らず、単層構造でもよいし、三層以上の積層構造にしてもよい。また、配線の材料としては、AlとTiに限らない。例えば、TaN膜上にAlやCuを形成し、さらにTi膜を形成した積層膜をバタニングして配線を形成してもよい。(図20(G))

【0245】以上の様にして、チャネル長6μm、チャネル幅4μmのPチャネル型TFT4252が形成された。

【0246】このPチャネル型TFT4252の電氣的特性を測定した結果を図21(B)に示す。電氣的特性の測定条件は、測定点をそれぞれ2点とし、ゲート電圧 $V_g = -16 \sim 16 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 1 \text{ V}$ 及び5Vとした。また、図21において、ドレイン電流(ID)、ゲート電流(IG)は実線で、移動度(μFE)は点線で示している。

【0247】本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いてTFTを作製すると、そのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方方向に揃っているため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。そのため、図21に示したように電氣的特性の良いTFTが得られる。特に移動度がPチャネル型TFTでは $205 \text{ cm}^2/\text{Vs}$ となることがわかる。このようなTFTを用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0248】本実施例で作製された半導体膜は、実施の形態および実施例1～実施例7のTFTの作製工程に適用することができる。

【0249】(実施例15)本実施例では、実施例13とは異なる方法で半導体膜の結晶化を行い、前記半導体膜を用いてNチャネルTFTを作製した例について、図15、図22～図25を用いて説明する。

【0250】半導体膜として非晶質珪素膜を形成するまでの工程は、実施例13と同様である。なお、非晶質珪素膜は、150nmの厚さで形成した(図22(A))。

【0251】その後、特開平7-183540号公報に記載された方法を利用し、前記半導体膜上にスピコート法にて酢酸ニッケル水溶液(重量換算濃度5ppm、体積10ml)を塗布して金属含有層41を形成する。そして、500℃の窒素雰囲気中で1時間、550℃の窒素雰囲気中で12時間の熱処理を行った。こうして半導体膜4342を得た。(図22(B))

【0252】続いて、レーザアニール法により、半導体膜4342の結晶性の向上を行う。

【0253】レーザアニール法の条件は、レーザ光として連続発振のYVO₄レーザの第2高調波(波長532nm、5.5W)を用い、図15で示した光学系における凸レンズ4003に対するレーザ光の入射角φを20°として200μm×50μmの楕円状ビームを形成した。前記楕円状ビームを、基板を20cm/sまたは50cm/sの速度で移動させながら照射して、半導体膜4342の結晶性の向上を行った。こうして半導体膜4343を得た。(図22(C))

【0254】図22(C)の半導体膜の結晶化の後の工程は、実施例7において示した図19(C)～図19(G)の工程と同様である。こうして、チャネル長6μm、チャネル幅4μmのNチャネル型TFT4151が形成された。これらの電氣的特性を測定した。

【0255】上記工程によって作製したTFTの電氣的特性を、図23、図24、図25に示す。

【0256】図23(A)に、図22(C)のレーザアニール工程において、基板の速度を20cm/sで移動させて作製したNチャネル型TFTの電氣的特性を示

す。また、図 24 (A) に、図 22 (C) のレーザアニール工程において、基板の速度を 50 cm/s で移動させて作製した N チャネル型 TFT の電気的特性を示す。

【0257】なお、電気的特性の測定条件は、ゲート電圧 $V_g = -16 \sim 16 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 1 \text{ V}$ 及び 5 V とした。また、図 23、図 24 において、ドレイン電流 (ID)、ゲート電流 (IG) は実線で、移動度 (μ_{FE}) は点線で示している。

【0258】本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いて TFT を作製すると、そのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方に揃っており、レーザ光の相対的な走査方向に対して交差する方向に形成される粒界が少ないため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。

【0259】そのため、図 23 及び図 24 に示したように電気的特性の良い TFT が得られる。特に移動度が、図 23 では $510 \text{ cm}^2/\text{Vs}$ 、また、図 24 では $595 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このような TFT を用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0260】また、図 25 (A) に、図 22 (C) のレーザアニール工程において、基板の速度を 50 cm/s で移動させて作製した N チャネル型 TFT の電気的特性を示す。

【0261】なお、電気的特性の測定条件は、ゲート電圧 $V_g = -16 \sim 16 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 0.1 \text{ V}$ 及び 5 V とした。

【0262】図 25 (A) に示したように電気的特性の良い TFT が得られる。特に移動度が N チャネル型 TFT では $657 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このような TFT を用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0263】本実施例で作製された半導体膜は、実施の形態および実施例 1～実施例 7 の TFT の作製工程に適用することができる。

【0264】(実施例 16) 本実施例では、実施例 14 とは異なる方法で半導体膜の結晶化を行い、前記半導体膜を用いて P チャネル TFT を作製した例について、図 15、図 22～図 25 を用いて説明する。

【0265】半導体膜として非晶質珪素膜を形成するまでの工程は、実施例 14 と同様である。なお、非晶質珪素膜は、 150 nm の厚さで形成した (図 22 (A))。

【0266】その後、特開平 7-183540 号公報に記載された方法を利用し、前記半導体膜上にスピニング法にて酢酸ニッケル水溶液 (重量換算濃度 5 ppm 、

体積 10 ml) を塗布して金属含有層 4341 を形成する。そして、 500°C の窒素雰囲気中で 1 時間、 550°C の窒素雰囲気中で 12 時間の熱処理を行った。こうして半導体膜 4342 を得た。(図 22 (B))

【0267】続いて、レーザアニール法により、半導体膜 4342 の結晶性の向上を行う。

【0268】レーザアニール法の条件は、レーザ光として連続発振の YVO₄ レーザの第 2 高調波 (波長 532 nm 、 5.5 W) を用い、図 15 で示した光学系における凸レンズ 4003 に対するレーザ光の入射角 ϕ を 20° として $200 \mu\text{m} \times 50 \mu\text{m}$ の楕円状ビームを形成した。前記楕円状ビームを、基板を 20 cm/s または 50 cm/s の速度で移動させながら照射して、半導体膜 4342 の結晶性の向上を行った。こうして半導体膜 4343 を得た。(図 22 (C))

【0269】図 22 (C) の半導体膜の結晶化の後の工程は、実施例 8 において示した図 20 (C)～図 20 (G) の工程と同様である。こうして、チャネル長 $6 \mu\text{m}$ 、チャネル幅 $4 \mu\text{m}$ の P チャネル型 TFT 4252 が形成された。これらの電気的特性を測定した。

【0270】上記工程によって作製した TFT の電気的特性を、図 23、図 24、図 25 に示す。

【0271】図 23 (B) に、図 22 (C) のレーザアニール工程において、基板の速度を 20 cm/s で移動させて作製した P チャネル型 TFT の電気的特性を示す。また、図 24 (B) に、図 22 (C) のレーザアニール工程において、基板の速度を 50 cm/s で移動させて作製した P チャネル型 TFT の電気的特性を示す。

【0272】なお、電気的特性の測定条件は、ゲート電圧 $V_g = -16 \sim 16 \text{ V}$ の範囲で、ドレイン電圧 $V_d = 1 \text{ V}$ 及び 5 V とした。また、図 23、図 24 において、ドレイン電流 (ID)、ゲート電流 (IG) は実線で、移動度 (μ_{FE}) は点線で示している。

【0273】本発明を用いて結晶化を行った半導体膜には大粒径の結晶粒が形成されているため、前記半導体膜を用いて TFT を作製すると、そのチャネル形成領域に含まれる結晶粒界の本数を少なくすることができる。さらに、形成された結晶粒は一方に揃っており、レーザ光の相対的な走査方向に対して交差する方向に形成される粒界が少ないため、キャリアが結晶粒界を横切る回数を極端に減らすことができる。

【0274】そのため、図 23 及び図 24 に示したように電気的特性の良い TFT が得られる。特に移動度が、図 23 の P チャネル型 TFT では $200 \text{ cm}^2/\text{Vs}$ 、また、図 24 の P チャネル型 TFT では $199 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このような TFT を用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0275】また、図 25 (B) に、図 22 (C) のレーザアニール工程において、基板の速度を 50 cm/s

で移動させて作製したPチャネルTFT4152の電気的特性を示す。

【0276】なお、電気的特性の測定条件は、ゲート電圧 $V_g = -16 \sim 16$ Vの範囲で、ドレイン電圧 $V_d = 0, 1$ V及び5 Vとした。

【0277】図25(B)に示したように電気的特性の良いTFTが得られる。特に移動度がPチャネル型TFTでは $219 \text{ cm}^2/\text{Vs}$ と非常に優れていることがわかる。そして、このようなTFTを用いて半導体装置を作製すれば、その動作特性および信頼性をも向上することが可能となる。

【0278】本実施例で作製された半導体膜は、実施の形態および実施例1～実施例7のTFTの作製工程に適用することができる。

【0279】(実施例17) 本実施例においては、画素部にEL素子を始めとする発光素子を用いる表示装置の作製工程について説明する。

【0280】ここで、本明細書において発光素子とは、一重項励起子から基底状態に遷移する際の発光(蛍光)を利用するものと、三重項励起子から基底状態に遷移する際の発光(燐光)を利用するものの両方を示す。

【0281】実施例8に示した工程に従い、図8(A)～図8(B)に示すように、第1および第2の層間絶縁膜まで形成する。

【0282】続いて、図27(A)に示すようにコンタクトホールを開口する。コンタクトホールの形状は、ドライエッチングまたはウェットエッチングを用い、不純物領域、ソース信号線、ゲート信号線、電流供給線、およびゲート電極に達するようにそれぞれ形成する。

【0283】次に、EL素子の陽極5001として、ITO等を代表とする透明導電膜を成膜し、所望の形状にパターニングする。Ti、Tiを含むAlおよびTiでなる積層膜を成膜し、所望の形状にパターニングして、配線電極5002～5005および画素電極5006を形成する。各層の膜厚は、実施例8と同様で良い。画素電極5006は、先に形成した陽極5001と重なるようにして形成してコンタクトを取っている。

【0284】続いて、アクリルなどの有機樹脂材料、もしくは無機 SiO_2 やプラズマCVD法で作製した SiO_2 (PCVD- SiO_2)、SOG(Spin on Glass; 塗布珪素酸化膜)等の無機材料からなる絶縁膜を形成し、EL素子の陽極5001に対応する位置に開口部を形成して第3の層間絶縁膜5007を形成する。ここで、開口部を形成する際、なだらかなテーパー形状の側壁とすることが望ましい。

【0285】開口部の側壁が十分なだらかなテーパー形状となっていない場合、段差に起因するEL層の劣化、段切れ等が顕著な問題となるため、注意が必要である。第2の層間絶縁膜と第3の層間絶縁膜5007の組み合わせとしては、①PCVD- SiO_2 とPCVD- SiO_2 、②SOGとSOG、③PCVD- SiO_2 上のSOG

とPCVD- SiO_2 、④アクリルとアクリル、⑤ SiO_2 上のアクリルとPCVD- SiO_2 、⑥ SiO_2 上のPCVD- SiO_2 とアクリルなどが良い。

【0286】次に、EL層5008を形成した後、EL素子の陰極5009を、セシウム(Cs)を2[nm]以下の厚さで、および銀(Ag)を10[nm]以下の厚さで形成する。EL素子の陰極5009の膜厚を極めて薄くすることにより、EL層で発生した光は陰極5009を透過して出射される。

【0287】次いで、EL素子の保護を目的として、保護膜5010を成膜する。その後、FPCの貼付等の作業を行った後、発光装置が完成する。

【0288】本実施例において、図27(A)に示した発光装置におけるEL素子の構成の詳細を図27(B)に示す。EL素子の陽極5101は、ITOを代表とする透明導電膜でなる。5102は発光層を含むEL層である。EL素子の陰極は、いずれも薄く形成されたCs膜5103およびAg膜5104である。5105が保護膜である。

【0289】EL素子の陰極側を、きわめて薄い膜厚で形成することにより、EL層5102で発生した光は陰極5103、5104を透過して上方に出射される。つまり、TFTが形成されている領域が、発光面の面積を圧迫することがないため、開口率をほぼ100[%]とすることが出来る。

【0290】以上の工程では、EL素子の上側を陰極、下側を陽極とした構成について説明したが、EL層の下側の画素電極をTiNなどで形成し、EL層の上側の電極をITO等で形成することによって、EL層の上側を陽極、EL層の下側を陰極とすることも可能である。

【0291】また、開口率はやや低下するが、EL層の下側を陽極、EL層の上側を陰極とし、EL層の下側の電極をITO等で形成し、EL層の上側の電極については、本実施例と異なり、MgAg等を用いて形成することによって、EL層で発生した光をTFTが形成されている基板側、すなわち下方に出射させる型式とすることも勿論可能である。

【0292】本実施例は、実施の形態及び実施例1乃至実施例7と自由に組み合わせて実施することが可能である。

【0293】(実施例18) 本実施例においては、実施例17と異なる方法によって発光素子を用いた表示装置を作製する工程について説明する。

【0294】実施例8に示した作業工程に従い、図8(A)～図8(B)に示すように、第1および第2の層間絶縁膜までを形成する。

【0295】続いて、図28(A)に示すように、コンタクトホールを開口する。コンタクトホールの形状は、ドライエッチングまたはウェットエッチング法を用い、N型の不純物領域、ソース信号線、ゲート信号線、電流

供給線、およびゲート電極に達するようにそれぞれ形成する。

【0296】次に、配線5201~5204、およびEL素子の陽極となる画素電極5205を、Ti膜、Tiを含むAl膜、Ti膜、および透明導電膜の積層膜として形成する。

【0297】続いて、アクリルなどの有機樹脂材料、もしくは無機SiO₂やプラズマCVD法で作製したSiO₂（PCVD-SiO₂）、SOG（Spin on Glass：塗布珪素酸化膜）等の無機材料からなる絶縁膜を形成し、EL素子の陽極5205に対応する位置に開口部を形成して第3の層間絶縁膜5206を形成する。ここで、開口部を形成する際、なだらかなテーパー形状の側壁とすることが望ましい。

【0298】開口部の側壁が十分ななだらかなテーパー形状となっていない場合、段差に起因するEL層の劣化、段切れ等が顕著な問題となるため、注意が必要である。第2の層間絶縁膜と第3の層間絶縁膜5206の組み合わせとしては、①PCVD-SiO₂とPCVD-SiO₂、②SOGとSOG、③PCVD-SiO₂上のSOGとPCVD-SiO₂、④アクリルとアクリル、⑤SiO₂上のアクリルとPCVD-SiO₂、⑥SiO₂上のPCVD-SiO₂とアクリルなどが良い。

【0299】次に、EL層5207を形成した後、EL素子の陰極5208をセシウム（Cs）を2[nm]以下の厚さで、および銀（Ag）を10[nm]以下の厚さで形成する。EL素子の陰極5009の膜厚を極めて薄くすることにより、EL層で発生した光は陰極5009を透過して出射される。

【0300】次いで、EL素子の保護を目的として、保護膜5209を成膜する。その後、FPCの貼付等の作業を行った後、発光装置が完成する。

【0301】本実施例において、図28（A）に示した発光装置におけるEL素子の構成の詳細を図28（B）に示す。EL素子の陽極は、Ti、Al、Tiの積層膜である金属膜5301およびITOを代表とする透明電極膜5302である。5303は発光層を含むEL層である。EL素子の陰極は、いずれも極めて薄く形成されたCs膜7304およびAg膜7305である。7306が保護膜である。

【0302】本実施例で作製した発光装置は、実施例8で示した発光装置同様、開口率をほぼ100と出来る利点を有する。さらに、配線電極および画素電極の形成において、Ti、Al、Tiの積層膜である金属膜と、透明導電膜とを共通のフォトリソマスクを用いてパターンニングを行うことが可能であり、フォトリソマスクの削減、および工程の簡略化が可能となる。

【0303】以上の工程では、EL層の上側を陰極、下側を陽極とした構成について説明したが、EL層の下側の画素電極をTiNなどで形成し、EL層の上側の電極をITOなどで形成することによって、EL層の上側を

陽極、EL層の下側を陰極とすることも可能である。

【0304】また、開口率はやや低下するが、EL層の下側を陽極、EL層の上側を陰極とし、EL層の下側の電極をITO等で形成し、EL層の上側の電極については、本実施例と異なり、MgAg等を用いて形成することによって、EL層で発生した光をTFEが形成されている基板側、すなわち下方に出射させる型式とすることも勿論可能である。

【0305】本実施例は、実施の形態及び実施例1乃至実施例7と自由に組み合わせて実施することが可能である。

【0306】（実施例19）本発明を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンボ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。これらの電子機器の具体例を図29に示す。

【0307】図29（A）は表示装置であり、筐体1401、支持台1402、表示部1403を含む。本発明は表示部1403を有する表示装置の駆動回路に適用が可能である。

【0308】図29（B）はビデオカメラであり、本体1411、表示部1412、音声入力1413、操作スイッチ1414、操作スイッチ1415、バッテリー1416、受像部1417などによって構成されている。本発明は表示部1417を有する表示装置の駆動回路に適用が可能である。

【0309】図29（C）はノート型のパーソナルコンピュータであり、本体1421、筐体1422、表示部1423、キーボード1424などによって構成されている。本発明は表示部1423を有する表示装置の駆動回路に適用が可能である。

【0310】図29（D）は携帯情報端末であり、本体1431、表示部1432、操作ボタン1433、外部インターフェイス1434などによって構成されている。本発明は表示部1432を有する表示装置の駆動回路に適用が可能である。

【0311】図29（E）は音響再生装置、具体的には車載用のオーディオ装置であり、本体1441、表示部1442、操作スイッチ1443、1444などによって構成されている。本発明は表示部1442を有する表示装置の駆動回路に適用が可能である。また、今回は車載用オーディオ装置を例に上げたが、携帯型もしくは家庭用オーディオ装置に用いてもよい。

【0312】図29（F）はデジタルカメラであり、本

体 1451、表示部(A) 1452、接眼部 1453、操作スイッチ 1454、表示部(B) 1455、バッテリ 1456などによって構成されている。本発明は表示部(A) 1452および表示部(B) 1455を有する表示装置の駆動回路に適用が可能である。

【0313】図29(G)は携帯電話であり、本体 1461、音声出力部 1462、音声入力部 1463、表示部 1464、操作スイッチ 1465、アンテナ 1466などによって構成されている。本発明は表示部 1464を有する表示装置の駆動回路に適用が可能である。

【0314】これらの電子機器に使われる表示装置はガラス基板だけでなく耐熱性のプラスチック基板を用いることもできる。それによってよりいっそうの軽量化を図ることができる。

【0315】なお、本実施例に示した例はごく一例であり、これらの用途に限定するものではないことを付記する。

【0316】本実施例は、実施の形態及び実施例1乃至実施例7と自由に組み合わせて実施することが可能である。

【発明の効果】本発明によって、デジタル映像信号の入力に対して、非反転出力、反転出力の2出力が得られるため、それらの信号によって駆動される後段のバッファにおいては、電流バスの発生を最小限に抑えることが出来る半導体装置を提供することができる。また、上述した構成を用いることにより、消費電力を低減した半導体装置を提供することができる。

【0317】さらに本発明は、全てのTFTを単極性とした半導体装置を提供することができる。そのため、TFTの製造工程において、不純物元素を添加する工程などの作製工程の一部を省略して、コストの上昇や歩留まりの低下の影響を抑制することができる半導体装置を提供することが出来る、

【0318】

【図面の簡単な説明】

【図1】 本発明の実施形態を示す図。

【図2】 表示装置の概略および断面図。

【図3】 本発明のラッチ回路を用いて構成したソース信号線駆動回路の構成図。

【図4】 ゲート信号線駆動回路の構成図。

【図5】 単極性のTFTを用いて構成したシフトレジスタを示す図。

【図6】 単極性のTFTを用いて構成したラッチ回路およびバッファを示す図。

【図7】 表示装置の作製工程例を示す図。

【図8】 表示装置の作製工程例を示す図。

【図9】 表示装置の作製工程例を示す図。

【図10】 ソース信号線駆動回路の構成を示す図。

【図11】 実施形態に小変更を加えた本発明の実施例を示す図。

【図12】 実施形態に小変更を加えた本発明の実施例を示す図。

【図13】 実施形態と異なる本発明の実施例を示す

10 図。

【図14】 本発明を適用したラッチ回路・バッファ回路の構成例を示す図。

【図15】 実施例8～13で用いる光学系の模式図。

【図16】 実施例8を行った結果のSEM像を示した図。

【図17】 実施例9を行った結果のSEM像を示した図。

【図18】 実施例9によって得られた半導体膜のラマン散乱分光の結果を示す図。

20 【図19】 単極性TFTの作製工程例を示す図。

【図20】 単極性TFTの作製工程例を示す図。

【図21】 実施例10および11で作製されたTFTの電気的特性を示す図。

【図22】 レーザーによる半導体膜の処理の工程例を示す図。

【図23】 実施例12および13で作製されたTFTの電気的特性を示す図。

【図24】 実施例12および13で作製されたTFTの電気的特性を示す図。

30 【図25】 実施例12および13で作製されたTFTの電気的特性を示す図。

【図26】 ボトムゲートおよびデュアルゲート構造のTFTの構造を示す図。

【図27】 発光装置の作製工程例を示す図。

【図28】 発光装置の作製工程例を示す図。

【図29】 本発明の適用が可能な電子機器の例を示す図。

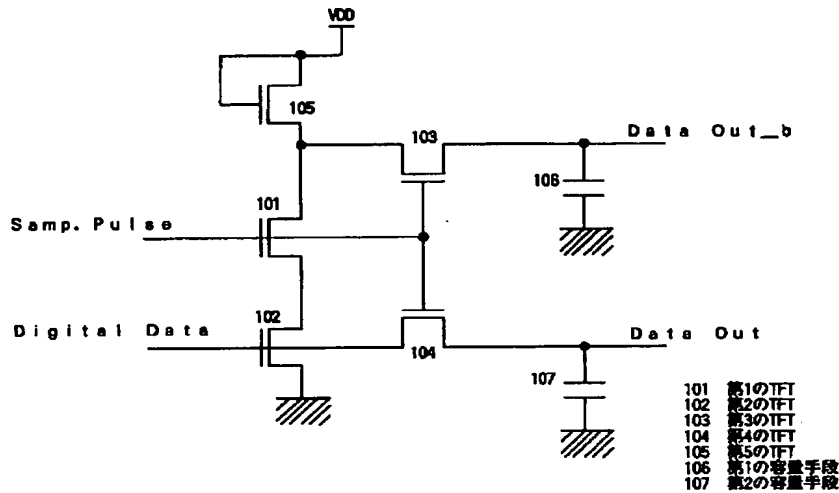
【図30】 実施形態と異なる本発明の実施例を示す図。

40 【図31】 実施形態と異なる本発明の実施例を示す図。

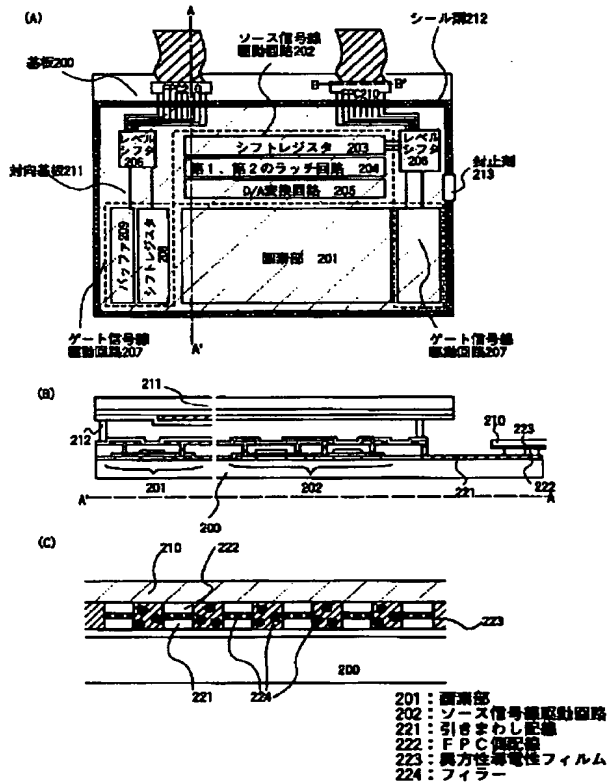
【図32】 第1のラッチ回路の後段に振幅補償用バッファ回路を追加した実施例の回路図。

【図33】 本発明のラッチ回路の構成。

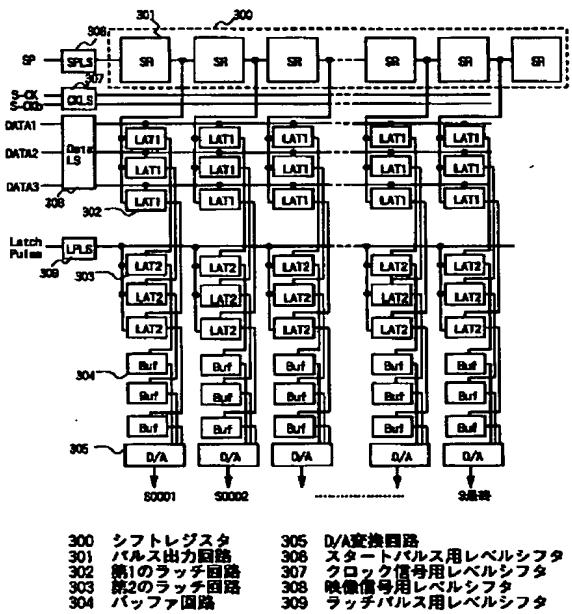
【図1】



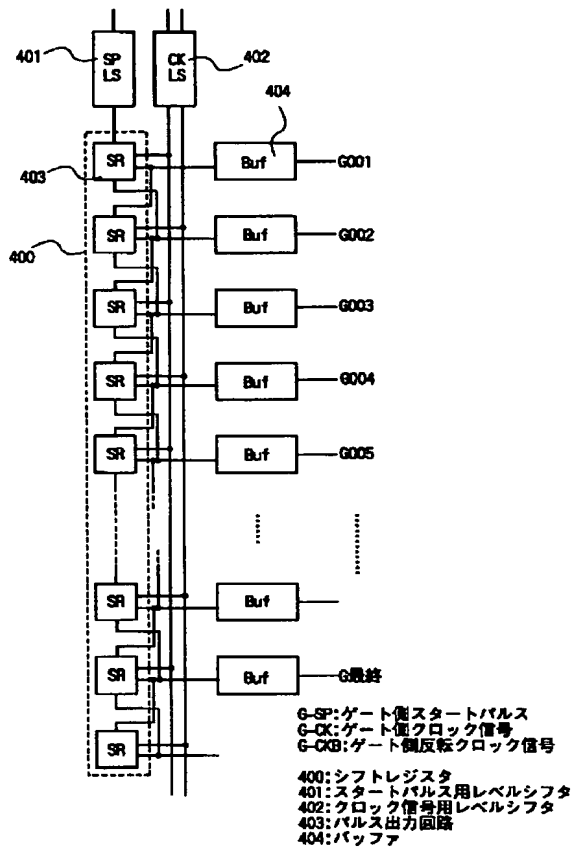
【図2】



【図3】



【図4】



【図22】

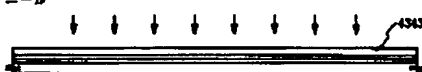
(A) 金属含有層の形成



(B) 熱処理

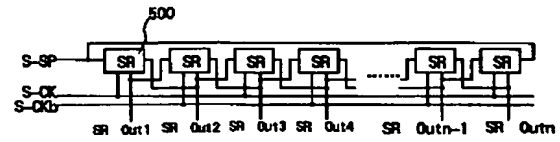


(C) レーザアニール

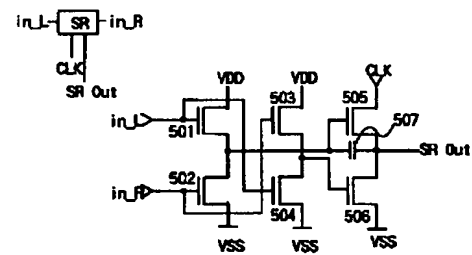


【図5】

(A)

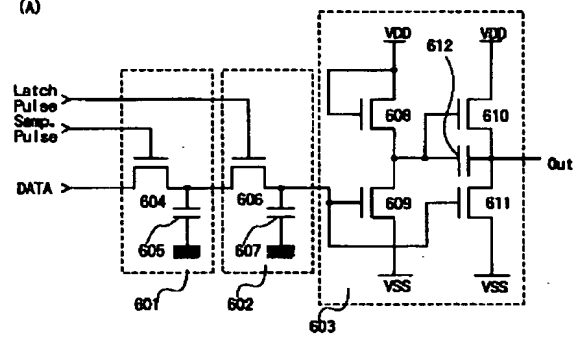


(B)

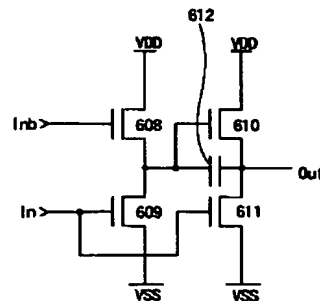


【図6】

(A)



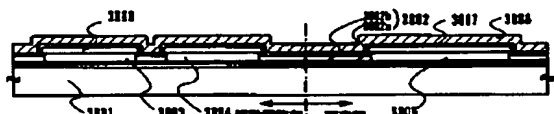
(B)



601:第1のラッチ回路
602:第2のラッチ回路
603:バッファ回路

【図7】

(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理



(C) 第2のエッチング処理/第1のドーピング処理



(D) 第2のドーピング処理



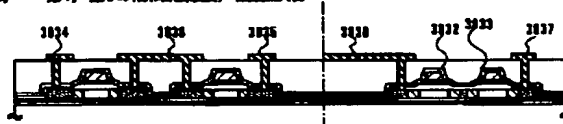
3100: 基板	3102: ゲート絶縁膜
3101: 下層	3103: 第1の導電膜
3103: 半導体層	3104: 絶縁膜
3104: 絶縁膜	3105: 第2の導電膜
3106: 第1の導電膜	3107: 第2の導電膜
3107: 第2の導電膜	3108: 第3の導電膜
3109: レジストマスク	3110: 第1の導電膜
3111: 第2の導電膜	3112: 第3の導電膜
3113: 第4の導電膜	3114: 第5の導電膜
3115: 第6の導電膜	3116: 第7の導電膜
3117: 第8の導電膜	3118: 第9の導電膜
3119: 第10の導電膜	3120: 第11の導電膜

【図8】

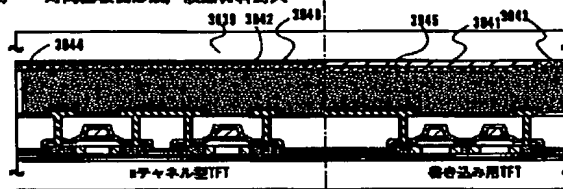
(A) 活性化/水素化



(B) 第1, 第2の層間絶縁膜、配線形成



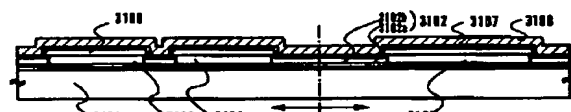
(C) 対向基板側形成、液晶材料封入



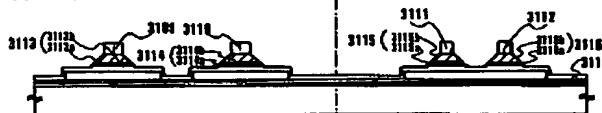
3122: 第1の導電膜	3141: 対向基板
3123: 第2の導電膜	3142: 下層
3124: 第3の導電膜	3143: 絶縁膜
3125: 第4の導電膜	3144: 液晶材料
3126: 第5の導電膜	3145: 液晶材料
3127: 第6の導電膜	3146: 液晶材料
3128: 第7の導電膜	3147: 液晶材料
3129: 第8の導電膜	3148: 液晶材料
3130: 第9の導電膜	3149: 液晶材料
3131: 第10の導電膜	3150: 液晶材料
3132: 第11の導電膜	3151: 液晶材料
3133: 第12の導電膜	3152: 液晶材料

【図9】

(A) 半導体層の形成/絶縁膜の形成/第1の導電膜と第2の導電膜の形成



(B) 第1のエッチング処理



(C) 第1のドーピング処理

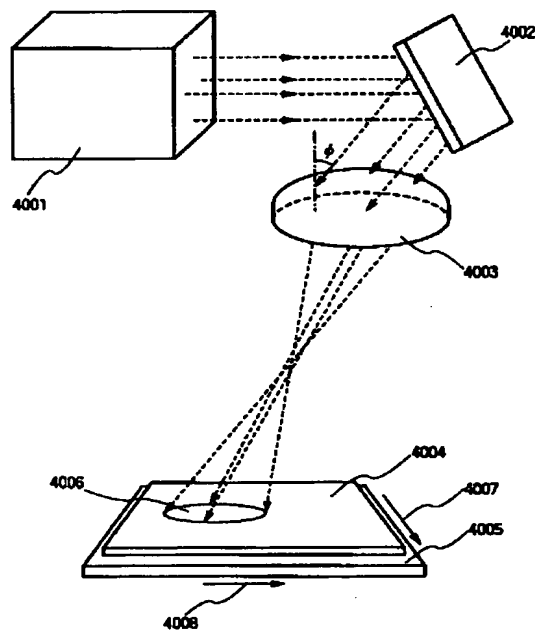


(D)

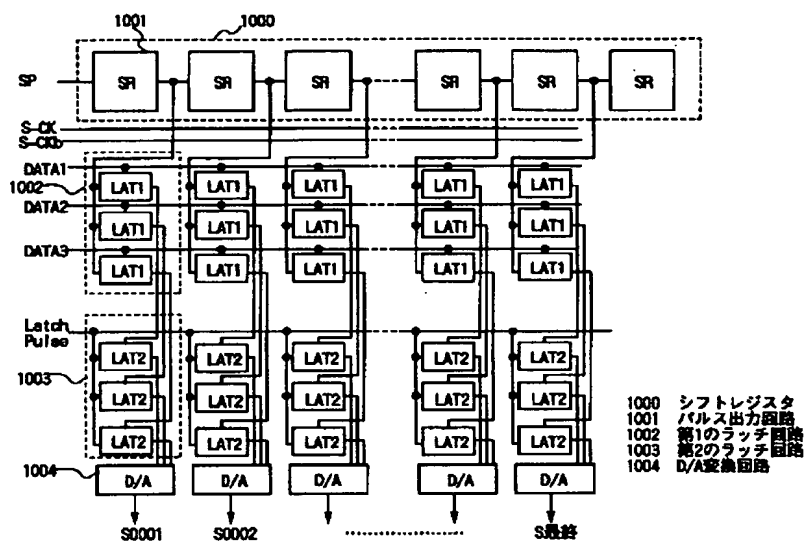


3100: 基板	3102: ゲート絶縁膜
3101: 下層	3103: 第1の導電膜
3103: 半導体層	3104: 絶縁膜
3104: 絶縁膜	3105: 第2の導電膜
3106: 第1の導電膜	3107: 第2の導電膜
3107: 第2の導電膜	3108: 第3の導電膜
3109: レジストマスク	3110: 第1の導電膜
3111: 第2の導電膜	3112: 第3の導電膜
3113: 第4の導電膜	3114: 第5の導電膜
3115: 第6の導電膜	3116: 第7の導電膜
3117: 第8の導電膜	3118: 第9の導電膜
3119: 第10の導電膜	3120: 第11の導電膜

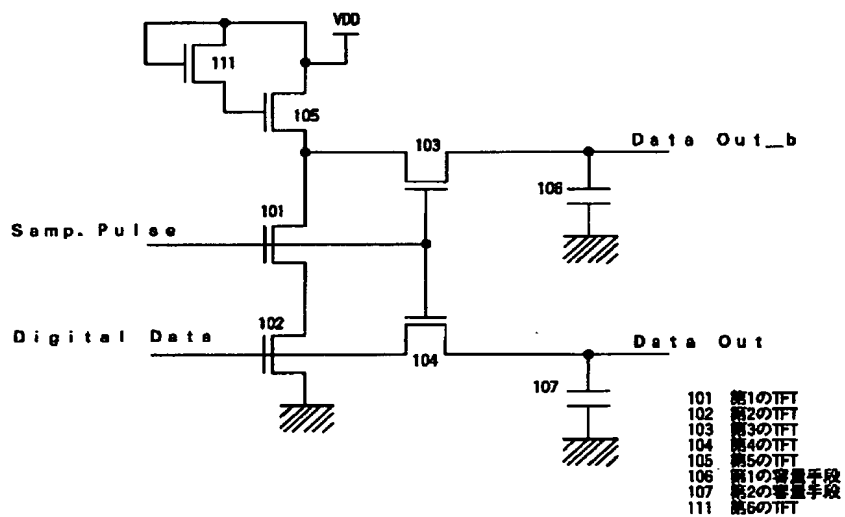
【図15】



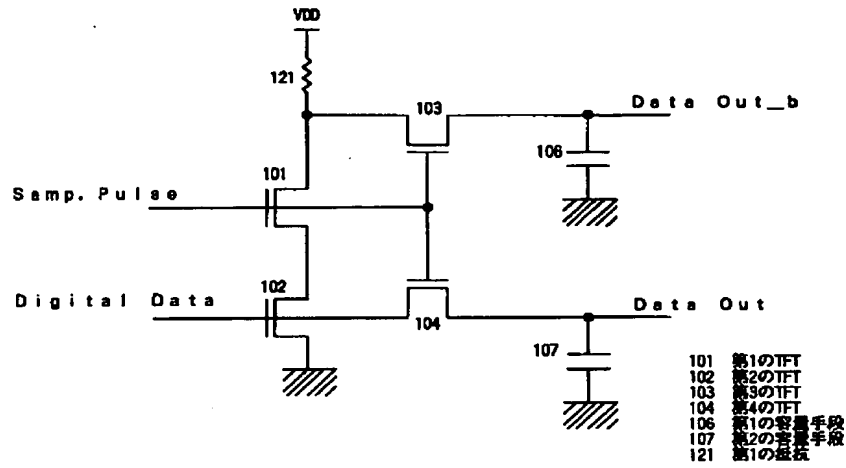
【図10】



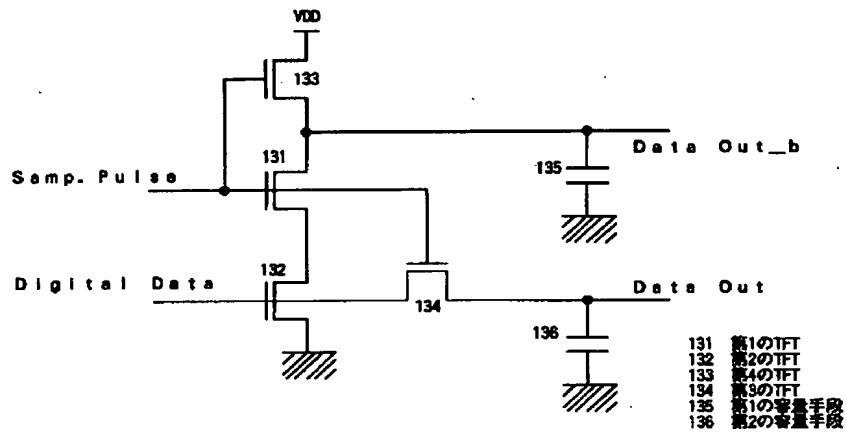
【図11】



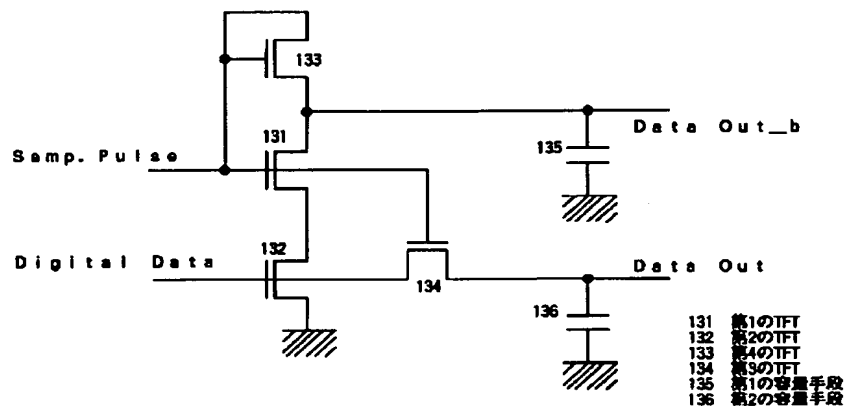
【図12】



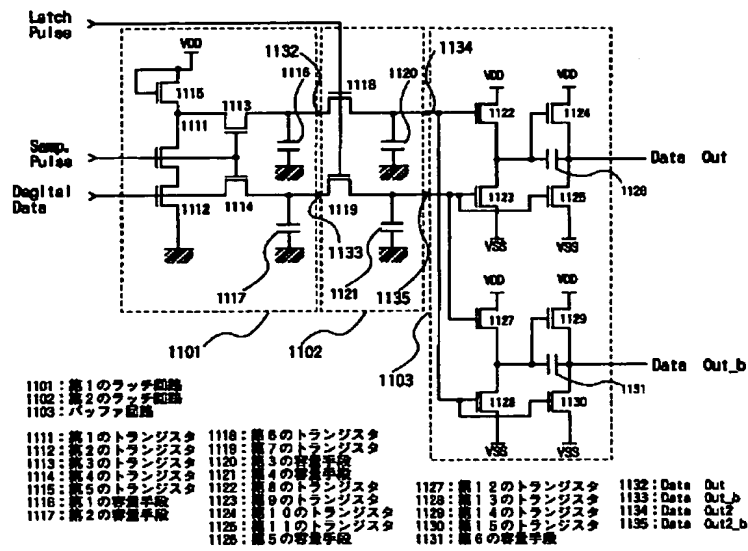
【図13】



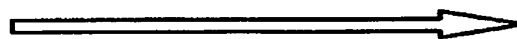
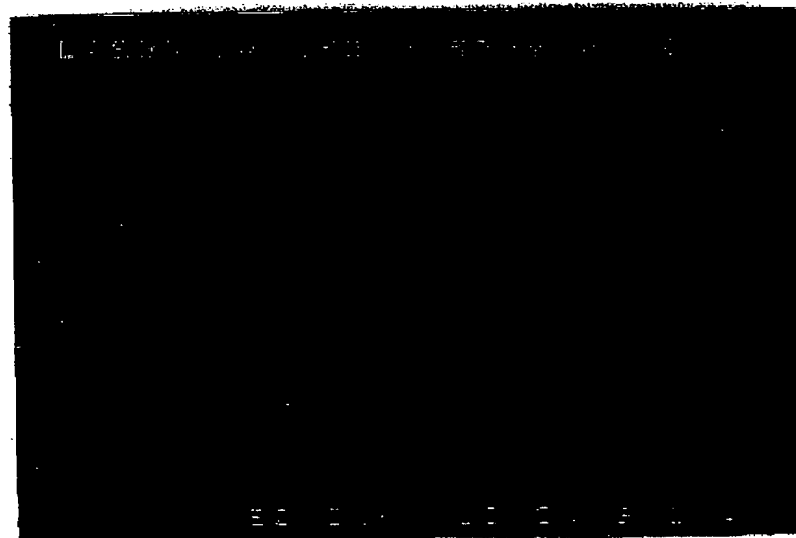
【図30】



【図14】

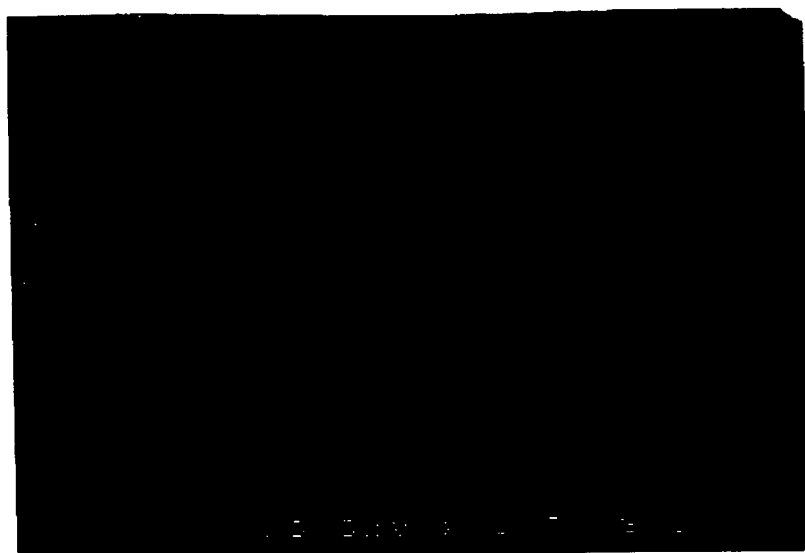


【図16】



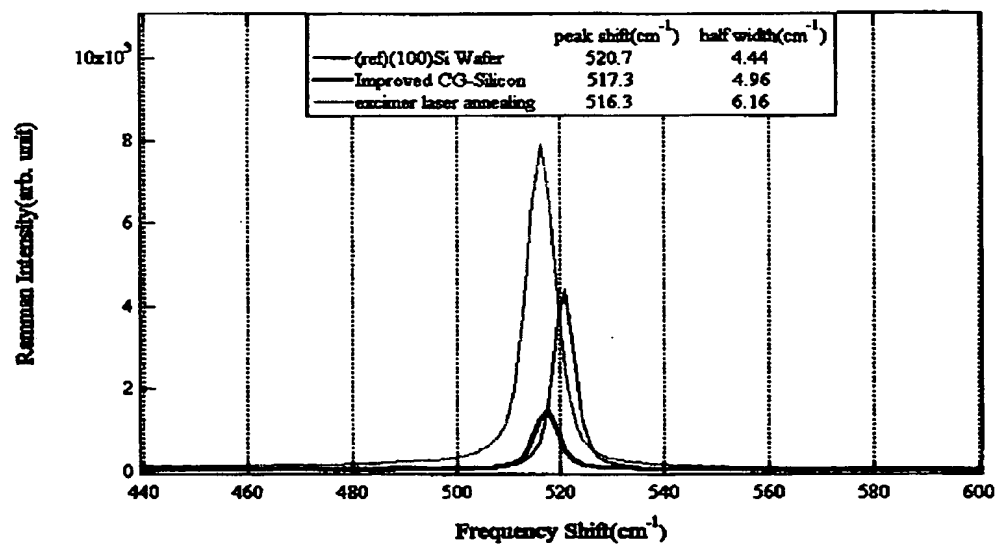
レーザ光の相対的な走査方向

【図17】

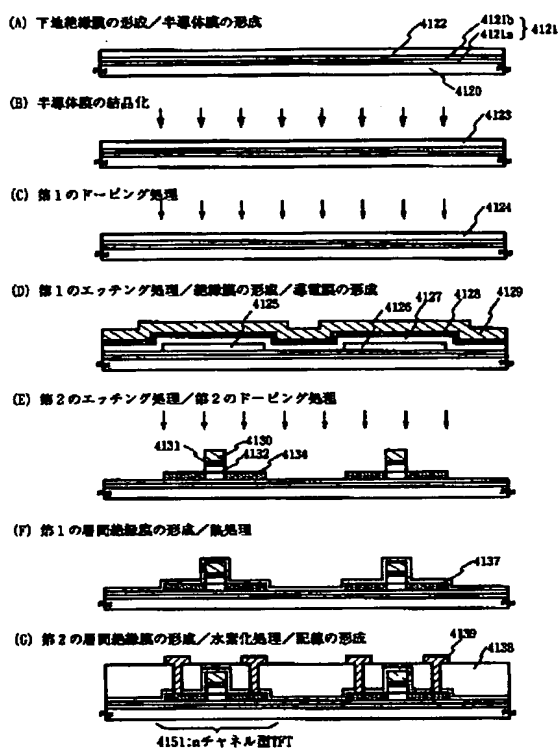


レーザー光の相対的な走査方向

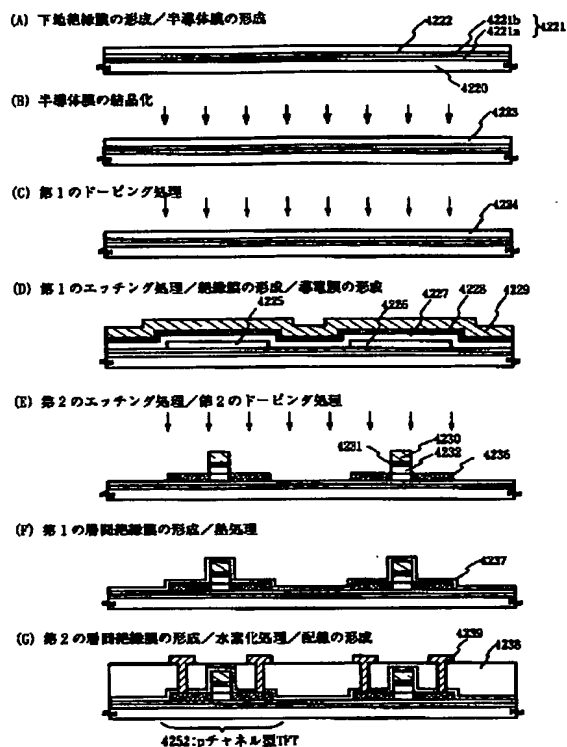
【図18】



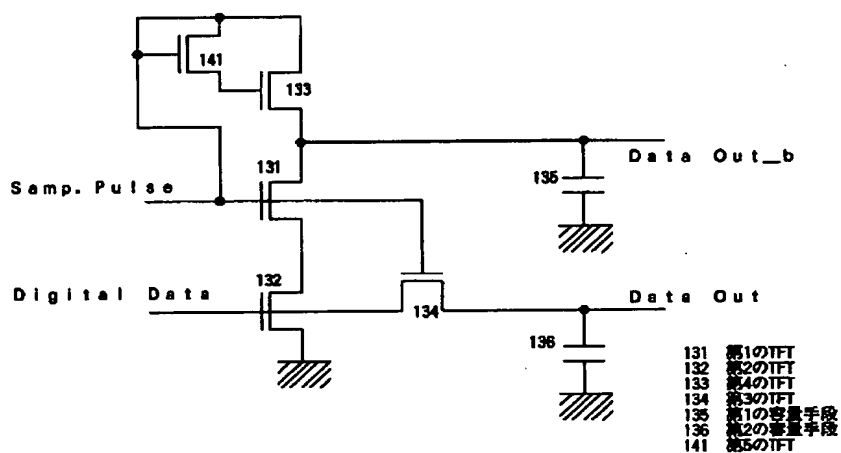
【図19】



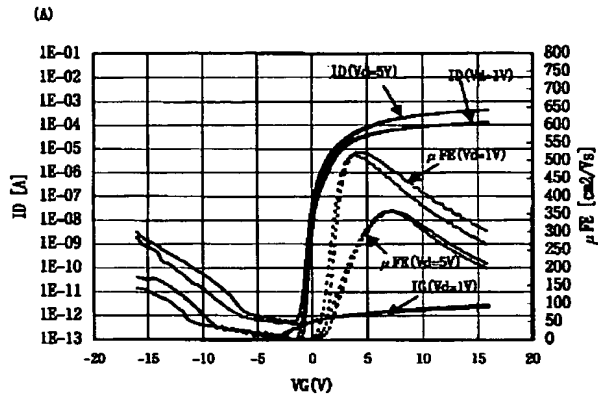
【図20】



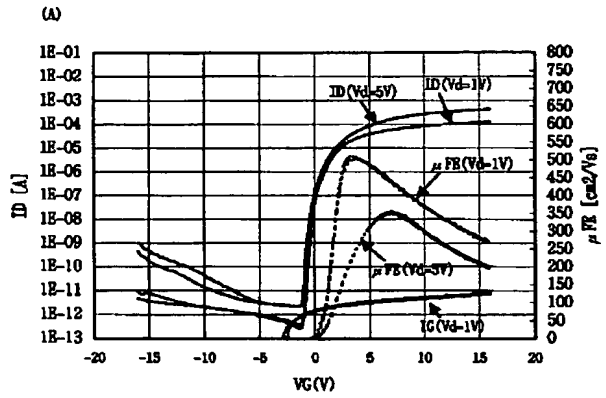
【図31】



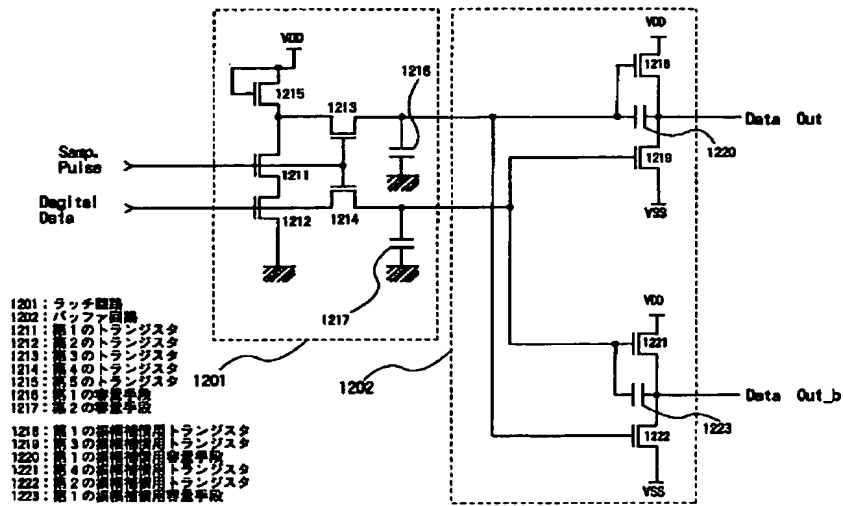
【図21】



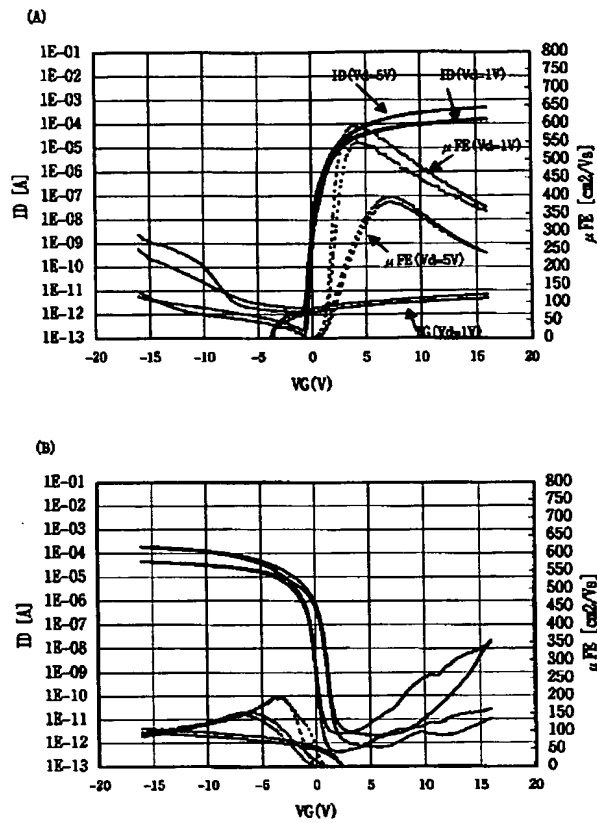
【図23】



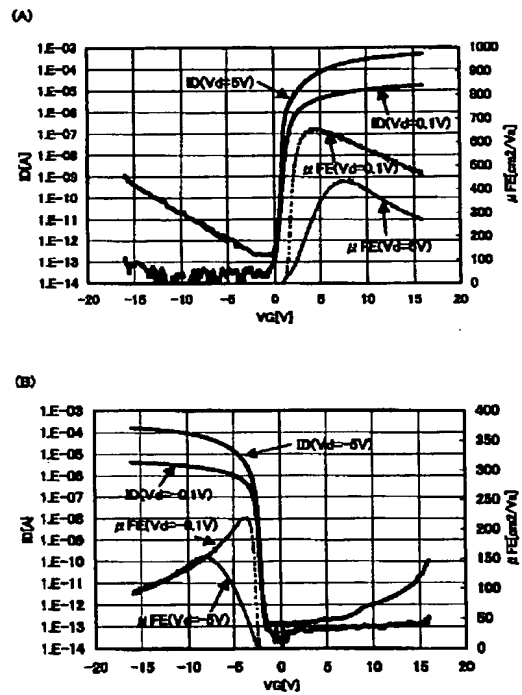
【図32】



【図24】

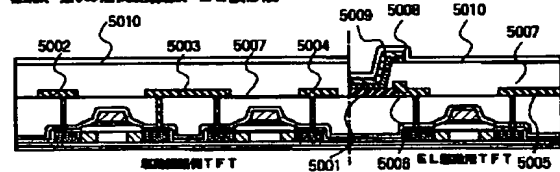


【図25】



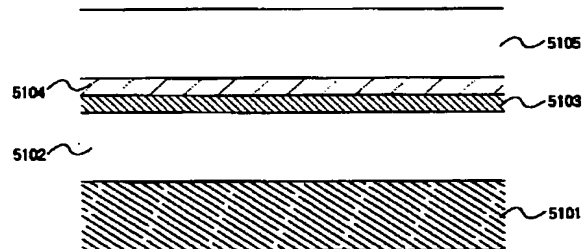
【図27】

(A) 配線、第1の層間絶縁膜、EL膜形成



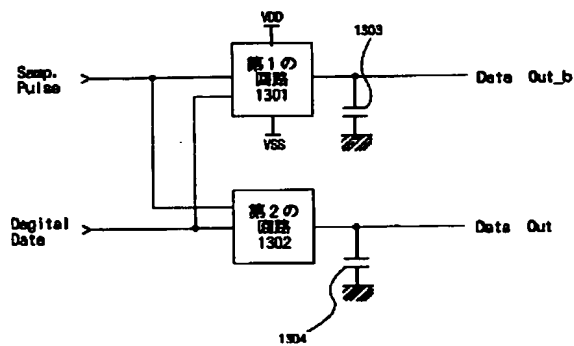
5001 : 基板
5002~5005 : 配線層
5006 : 第1の層間絶縁膜
5007 : EL膜
5008 : 第2の層間絶縁膜
5009 : 配線層
5010 : 保護膜

(B)



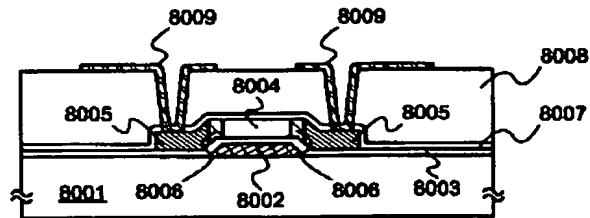
5101 : 透明電極
5102 : EL膜
5103 : 第1の層間絶縁膜
5104 : 第2の層間絶縁膜
5105 : 保護膜

【図33】



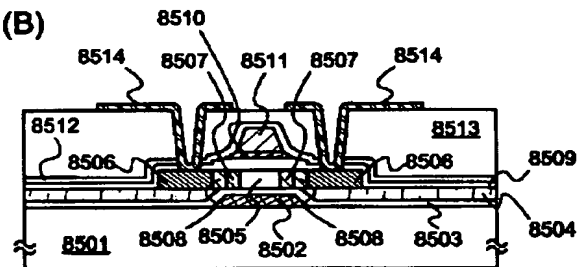
【図26】

(A)



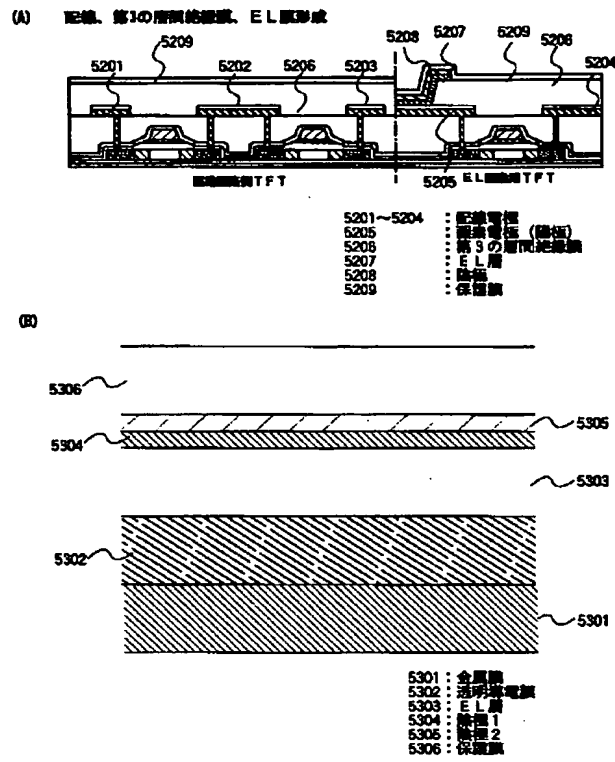
- 8001 : 基板
- 8002 : ゲート電極
- 8003 : ゲート絶縁膜
- 8004 : 半導体層
- 8005 : 第1の不純物領域 (GOLD領域)
- 8006 : 第2の不純物領域 (LDD領域)
- 8007 : 第1の層間絶縁膜
- 8008 : 第2の層間絶縁膜
- 8009 : 配線

(B)

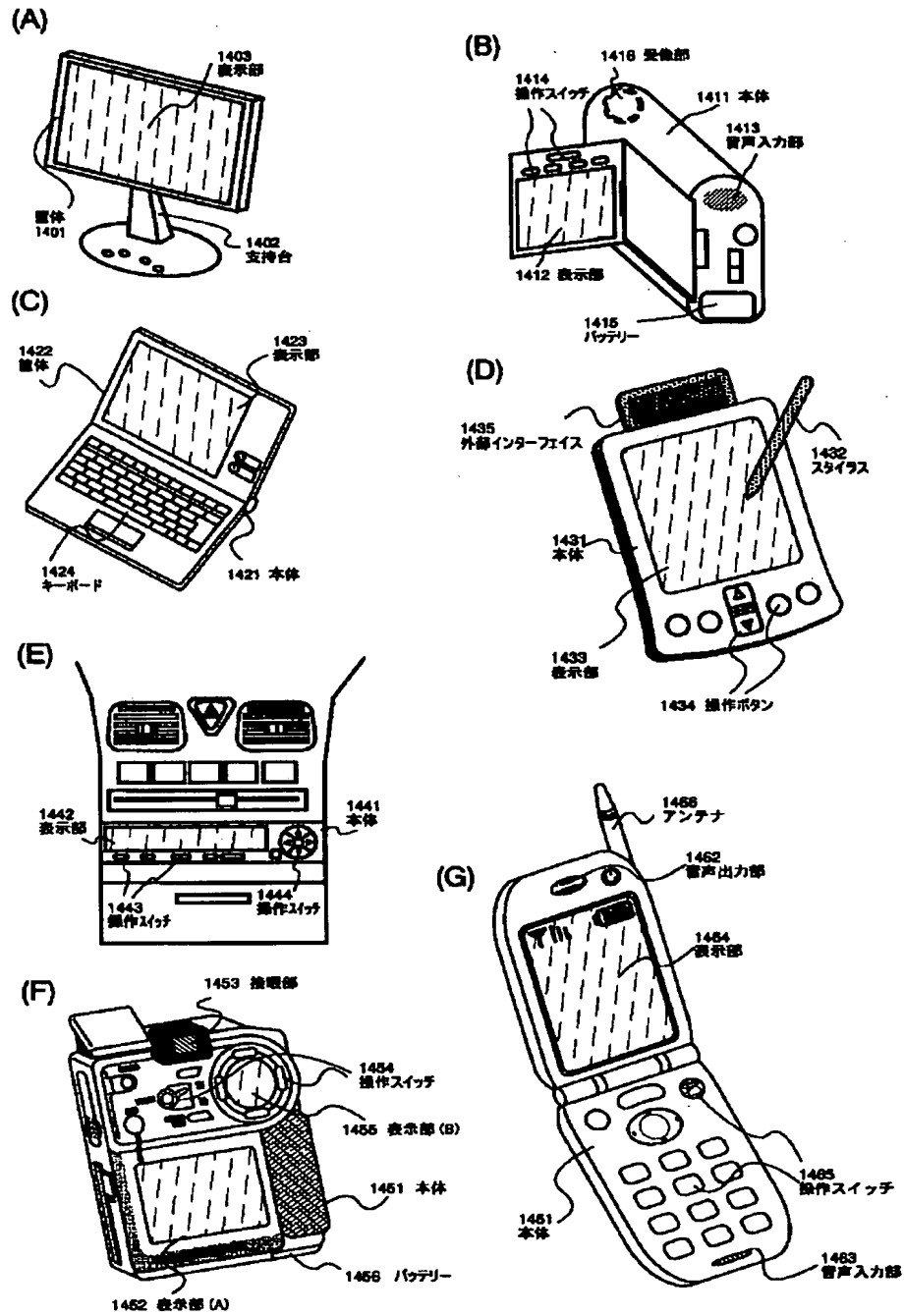


- 8501 : 基板
- 8502 : 第1のゲート電極
- 8503 : 第2のゲート電極
- 8504 : 平坦化膜
- 8505 : 半導体層
- 8506 : 第1の不純物領域 (GOLD領域)
- 8507 : 第2の不純物領域 (LDD領域)
- 8508 : 第3の不純物領域 (GOLD領域)
- 8509 : 第2のゲート絶縁膜
- 8510 : 第1の導電層 (第2のゲート電極)
- 8511 : 第2の導電層 (第2のゲート電極)
- 8512 : 第1の層間絶縁膜
- 8513 : 第2の層間絶縁膜
- 8514 : 配線

【図28】



【図29】



フロントページの続き

(51)Int.Cl.	識別記号	F I	テーマコード (参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
G 0 9 G 3/30		G 0 9 G 3/30	H
H 0 1 L 29/786		H 0 1 L 29/78	6 1 4

F ターム (参考) 2H092 GA28 GA40 JA01 JA24 JA34
 JA37 JA46 KA04 MA05 MA08
 MA27 MA30 NA25 NA29 QA07
 2H093 NA16 NC01 NC22 NC26 NC34
 ND53 ND54 NE01 NF05
 5C080 AA06 AA10 BB05 DD26 DD28
 FF11 JJ02 JJ03 JJ05 JJ06
 5C094 AA22 AA42 BA03 BA27 BA43
 CA19 CA23 CA25 DA13 FB14
 FB19 HA08
 5F110 AA09 BB02 BB04 CC02 DD01
 DD02 DD13 DD14 DD15 DD17
 EE01 EE02 EE03 EE04 EE09
 EE14 EE28 FF02 FF04 FF28
 FF30 FF36 GG01 GG02 GG13
 GG25 GG45 HJ01 HJ04 HJ12
 HJ13 HJ23 HL04 HL06 HL12
 HL23 HM15 NN03 NN22 NN23
 NN27 NN35 NN36 NN72 PP03
 PP05 PP06 PP10 PP13 PP24
 PP34 PP35 QQ11 QQ19 QQ24
 QQ25